

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307633

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 21/768

21/312

21/316

21/31

// C 0 8 F 214/18

F I

H 0 1 L 21/90

21/312

21/316

C 0 8 F 214/18

C 0 8 G 73/10

S

A

G

審査請求 未請求 請求項の数78 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願平10-109983

(22) 出願日 平成10年(1998)4月20日

(31) 優先権主張番号 特願平9-315682

(32) 優先日 平9(1997)11月17日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-37673

(32) 優先日 平10(1998)2月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 中山 創

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

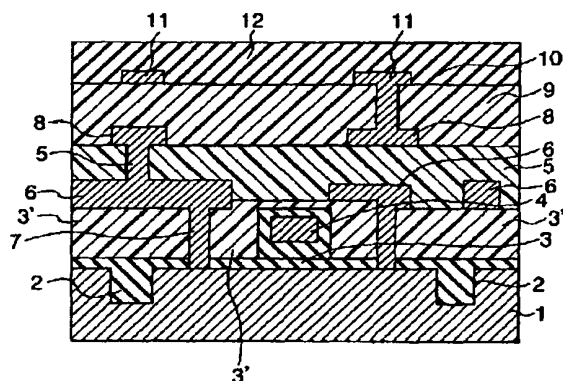
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 低誘電率膜を有する半導体装置、およびその製造方法

(57) 【要約】

【課題】 いわゆるダマシン法により配線を形成するにあたり、低誘電率有機膜を層間絶縁膜に用いる場合の、有機膜が従来の無機膜に比して柔らかい、熱伝導性に劣るなどの問題点を解決する半導体装置、および該半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に形成された絶縁膜と、該絶縁膜の上に形成された比誘電率が3.0以下の誘電体有機膜と、該誘電体有機膜中に絶縁膜に接する配線膜を有し、前記配線膜の上面が前記誘電体有機膜の上面よりも高く形成された半導体装置。



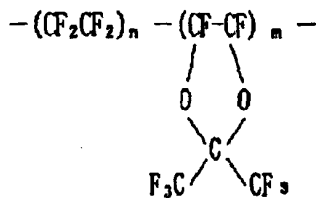
1

【特許請求の範囲】

【請求項 1】半導体基板上に形成された絶縁膜と、
該絶縁膜の上に形成された比誘電率が 3.0 以下の誘電体膜と、
該誘電体膜中に前記絶縁膜に接する配線層とを有し、
前記配線層の上面が前記誘電体膜の上面よりも高く形成されている、
半導体装置。

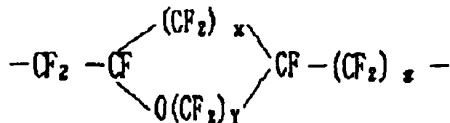
【請求項 2】前記誘電体膜は、環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリアルエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー (BCB)、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物 (有機 SOG)、分子中に化 1、

【化 1】



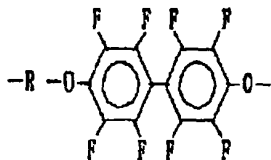
で表される繰り返し単位構造を有す高分子、分子中に化 2、

【化 2】



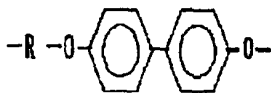
で表される繰り返し単位構造を有する高分子、分子中に化 3、

【化 3】



で表される繰り返し単位構造を有する高分子、または分子中に化 4、

【化 4】



で表される繰り返し単位構造を有する高分子からなる群から選ばれる 1 種または 2 種以上の高分子を含有する膜である、

請求項 1 記載の半導体装置。

【請求項 3】配線パターンに対して少なくとも 3 倍ピッチ以上の配線間隔部分の前記誘電体膜中に、ダミーの配

2

線を有する、

請求項 1 記載の半導体装置。

【請求項 4】前記ダミーの配線は、少なくとも 3 倍ピッチ以上の配線間隔の部分に、全ての配線間隔が 1 ミクロン以下になるように形成されている、

請求項 3 記載の半導体装置。

【請求項 5】前記ダミーの配線の下に絶縁膜中に、下層導電層と接続していないダミーの接続孔を有する、

請求項 3 記載の半導体装置。

【請求項 6】前記下層導電層は、半導体基板上に設けられた不純物拡散領域である、

請求項 5 記載の半導体装置。

【請求項 7】前記下層導電層は、下層配線層である、

請求項 5 記載の半導体装置。

【請求項 8】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる 1 種または 2 種以上からなる層である、

請求項 1 記載の半導体装置。

【請求項 9】半導体基板上に形成された絶縁膜と、

20 該絶縁膜の上にキセログルを含有する膜と、
該キセログルを含有する膜中に前記絶縁膜に接する配線層とを有する、
半導体装置。

【請求項 10】前記配線層の上面が前記誘電体膜の上面よりも高く形成されている、

請求項 9 記載の半導体装置。

【請求項 11】配線パターンに対して、少なくとも 3 倍ピッチ以上の配線間隔部分の前記キセログルを含有する膜中に、ダミーの配線を有する、

30 請求項 9 記載の半導体装置。

【請求項 12】前記ダミーの配線は、少なくとも 3 倍ピッチ以上の配線間隔の部分に、全ての配線間隔が 1 ミクロン以下になるように形成されている、

請求項 9 記載の半導体装置。

【請求項 13】前記ダミーの配線の下に絶縁膜中で、且つ、下層導電層と接続していないダミーの接続孔を有する、

請求項 11 記載の半導体装置。

【請求項 14】前記下層導電層は、半導体基板上に設けられた不純物拡散領域である、

40 請求項 13 記載の半導体装置。

【請求項 15】前記下層導電層は、下層配線層である、

請求項 13 記載の半導体装置。

【請求項 16】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる一種以上からなる膜である、

請求項 9 記載の半導体装置。

【請求項 17】前記キセログルを含有する膜上又は下

に、シランカップリング剤を含有する膜を有する、

請求項 9 記載の半導体装置。

50

3

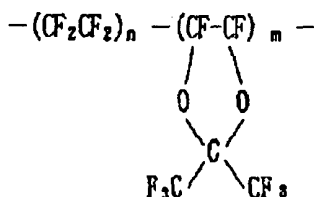
【請求項 18】前記キセロゲルを含有する膜は、配線パターンに対して少なくとも 3 倍ピッチ以下の配線間隔部分の前記絶縁膜の上に形成されている、
請求項 9 記載の半導体装置。

【請求項 19】半導体基板上に形成された絶縁膜と、
該第 1 の絶縁膜上に、比誘電率が 3.0 以下の第 1 の誘電体膜と、
該誘電体膜上に、キセロゲルを含有する膜と、
該キセロゲルを含有する膜上に、比誘電率が 3.0 以下の第 2 の誘電体膜と、
前記キセロゲルを含有する膜中に前記絶縁膜に接する配線層を有する、
半導体装置。

【請求項 20】前記配線層の上面が前記誘電体膜の上面よりも高く形成されている、
請求項 19 記載の半導体装置。

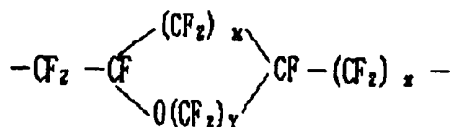
【請求項 21】前記比誘電率が 3.0 以下の第 1 の誘電体膜は、
環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリールエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー (BCB)、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物 (有機 SOG)、分子中に

【化 5】



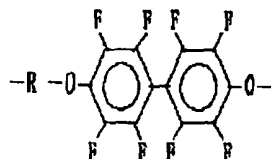
で表される繰り返し単位構造を有する高分子、分子中に化 6、

【化 6】



で表される繰り返し単位構造を有する高分子、分子中に化 7、

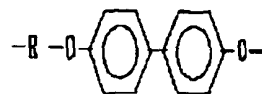
【化 7】



で表される繰り返し単位構造を有する高分子、分子中に化 8、

4

【化 8】



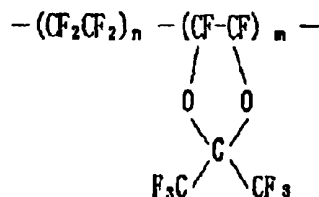
で表される繰り返し単位構造を有する高分子およびキセロゲルからなる群から選ばれる 1 種または 2 種以上を含有する膜である、

請求項 19 記載の半導体装置。

【請求項 22】前記比誘電率が 3.0 以下の第 2 の誘電体膜は、

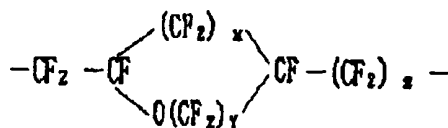
環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリールエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー (BCB)、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物 (有機 SOG)、分子中に

【化 9】



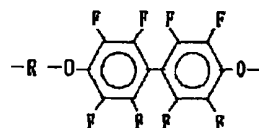
で表される繰り返し単位構造を有する高分子、分子中に化 10、

【化 10】



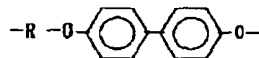
で表される繰り返し単位構造を有する高分子、分子中に化 11、

【化 11】



40 で表される繰り返し単位構造を有する高分子、及び分子中に化 12、

【化 12】



で表される繰り返し単位構造を有する高分子からなる群から選ばれる 1 種または 2 種以上の高分子を含有する有機膜である、

請求項 19 記載の半導体装置。

【請求項 23】前記比誘電率が 3.0 以下の第 2 の誘電体膜中に、配線間を接続するための接続孔を有する、

50

5

請求項 19 記載の半導体装置。

【請求項 24】配線パターンに対して、少なくとも 3 倍ピッチ以上の配線間隔部分の前記キセロゲルを含有する膜中に、ダミーの配線を有する、

請求項 19 記載の半導体装置。

【請求項 25】前記ダミーの配線は、少なくとも 3 倍ピッチ以上の配線間隔の部分に、全ての配線間隔が 1 ミクロン以下になるように形成されている、

請求項 19 記載の半導体装置。

【請求項 26】前記ダミーの配線の下に絶縁膜中で、且つ、下層導電層と接続していないダミーの接続孔を有する、

請求項 19 記載の半導体装置。

【請求項 27】前記下層導電層は、半導体基板に設けられた不純物拡散領域である、

請求項 26 記載の半導体装置。

【請求項 28】前記下層導電層は、下層配線層である、

請求項 26 記載の半導体装置。

【請求項 29】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれた一種以上からなる層である、

請求項 19 記載の半導体装置。

【請求項 30】前記キセロゲルを含有する膜上又は下に、シランカップリング剤を含有する膜を有する、

請求項 19 記載の半導体装置。

【請求項 31】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が 3.0 以下の誘電体膜を形成する工程と、

該誘電体膜の上に無機膜を形成する工程と、

前記無機膜上に配線層を形成するためのパターンを形成する工程と、

前記配線層を全面に形成する工程と、

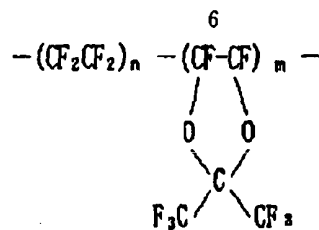
前記配線層を研磨する工程と、

前記無機膜を除去する工程とを有する、

半導体装置の製造方法。

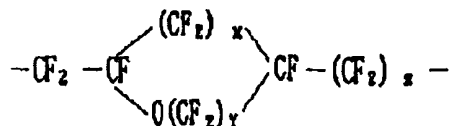
【請求項 32】前記誘電体膜は、環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリアルエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー (BCB)、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物 (有機 SOG)、分子中に化 13、

【化 13】



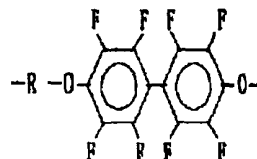
で表される繰り返し単位構造を有する高分子、分子中に化 14、

【化 14】



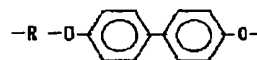
で表される繰り返し単位構造を有する高分子、分子中に化 15、

【化 15】



で表される繰り返し単位構造を有する高分子、または分子中に化 16、

【化 16】



で表される繰り返し単位構造を有する高分子からなる群から選ばれる 1 種または 2 種以上の高分子を含有する有機膜である、

請求項 31 記載の半導体装置の製造方法。

【請求項 33】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる 1 種または 2 種以上からなる層である、

請求項 31 記載の半導体装置の製造方法。

【請求項 34】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物 (無機 SOG) 膜、リンドープ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドープ酸化シリコン膜からなる群から選ばれる 1 種または 2 種以上からなる膜である、

請求項 31 記載の半導体装置の製造方法。

【請求項 35】前記配線層を研磨する工程は、化学的機械的研磨法 (CMP 法) による研磨工程である、

請求項 31 記載の半導体装置の製造方法。

【請求項 36】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が 3.0 以下の誘電体膜を形成する工程と、

該誘電体膜の上に無機膜を形成する工程と、

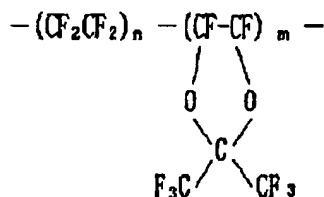
50 前記無機膜上に配線層を形成するためのパターンを形成

7

する工程と、
前記配線層を全面に形成する工程と、
前記配線層を研磨する工程と、
前記無機膜を除去する工程と、
配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔部分の前記誘電体膜中に、ダミーの配線を形成する工程とを有する、
半導体装置の製造方法。

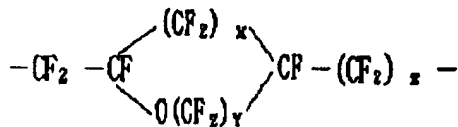
【請求項37】前記誘電体膜は、環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリールエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー（BCB）、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物（有機SOG）、分子中に化17、

【化17】



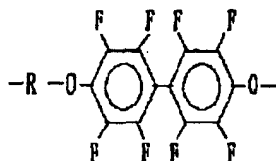
で表される繰り返し単位構造を有する高分子、分子中に化18、

【化18】



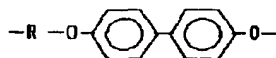
で表される繰り返し単位構造を有する高分子、分子中に化19、

【化19】



で表される繰り返し単位構造を有する高分子、または分子中に化20、

【化20】



で表される繰り返し単位構造を有する高分子からなる群から選ばれる1種または2種以上の高分子を含有する有機膜である、

請求項36記載の半導体装置の製造方法。

【請求項38】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる1種または2種以上からなる層である、

20

30

40

50

8

請求項36記載の半導体装置の製造方法。

【請求項39】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物（無機SOG）膜、リンドーブ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドーブ酸化シリコン膜からなる群から選ばれる1種または2種以上からなる膜である、

請求項36記載の半導体装置の製造方法。

【請求項40】前記配線層を研磨する工程は、化学的機械的研磨法（CMP法）による研磨工程である、
請求項36記載の半導体装置の製造方法。

【請求項41】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が3.0以下の誘電体膜を形成する工程と、

該誘電体膜の上に無機膜を形成する工程と、
前記無機膜上に、配線層およびダミーの配線層を形成するためのパターンを形成する工程と、

前記配線層および前記ダミーの配線層を全面に形成する工程と、

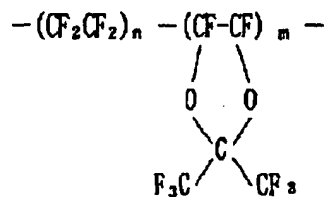
前記配線層を研磨する工程と、

前記無機膜を除去する工程とを有する、

半導体装置の製造方法。

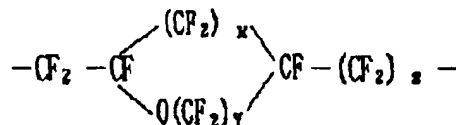
【請求項42】前記誘電体膜は、環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリールエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー（BCB）、ポリイミド、アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物（有機SOG）、分子中に化21、

【化21】



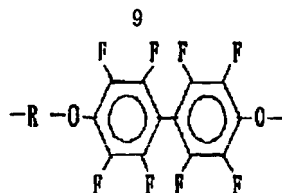
で表される繰り返し単位構造を有する高分子、分子中に化22、

【化22】



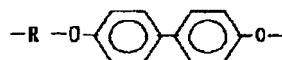
で表される繰り返し単位構造を有する高分子、分子中に化23、

【化23】



で表される繰り返し単位構造を有する高分子、または分子中に化24、

【化24】



で表される繰り返し単位構造を有する高分子からなる群から選ばれる1種または2種以上の高分子を含有する有機膜である、

請求項41記載の半導体装置の製造方法。

【請求項43】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる1種または2種以上からなる層である、

請求項41記載の半導体装置の製造方法。

【請求項44】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物（無機SOG）膜、リンドーブ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドーブ酸化シリコン膜からなる群から選ばれる1種または2種以上からなる膜である、

請求項41記載の半導体装置の製造方法。

【請求項45】前記配線層を研磨する工程は、化学的機械的研磨法（CMP法）による研磨工程である、

請求項41記載の半導体装置の製造方法。

【請求項46】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が3.0以下の誘電体膜を形成する工程と、

該誘電体膜の上に無機膜を形成する工程と、

前記無機膜上に、配線層およびダミーの配線層を形成するためのパターンを形成する工程と、

前記配線層および前記ダミーの配線層を全面に形成する工程と、

前記配線層を研磨する工程と、

前記無機膜を除去する工程とを有する、

前記絶縁膜中に上層配線と下層導電層を接続するための接続孔、及び前記ダミーの配線の下に絶縁膜中に下層導電層と接続していないダミーの接続孔を形成する工程を有する、

半導体装置の製造方法。

【請求項47】前記誘電体膜は、環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリアルエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー（BCB）、ポリイミド、

30

で表される繰り返し単位構造を有する高分子からなる群から選ばれる1種または2種以上の高分子を含有する有機膜である、

請求項46記載の半導体装置の製造方法。

【請求項48】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる1種または2種以上からなる層である、

請求項46記載の半導体装置の製造方法。

【請求項49】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物（無機SOG）膜、リンドーブ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドーブ酸化シリコン膜からなる群から選ばれる1種または2種以上からなる膜である、

請求項46記載の半導体装置の製造方法。

【請求項50】前記配線層を研磨する工程は、化学的機械的研磨法（CMP法）による研磨工程である、

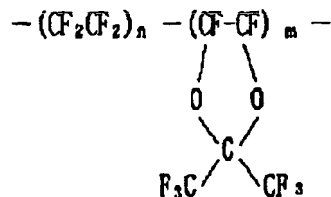
請求項46記載の半導体装置の製造方法。

【請求項51】前記無機膜上に、配線層およびダミーの配線層を形成するためのパターンを形成する工程は、配線パターン、および配線パターンに対して、少なくとも

10

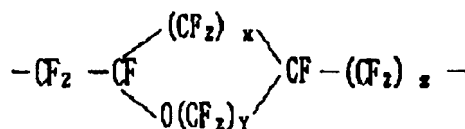
アモルファスカーボン、モノメチルトリヒドロキシシラン縮合物（有機SOG）、分子中に化25、

【化25】



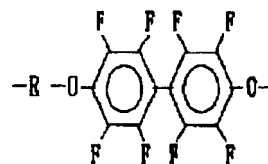
10 で表される繰り返し単位構造を有する高分子、分子中に化26、

【化26】



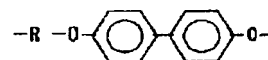
で表される繰り返し単位構造を有する高分子、分子中に化27、

【化27】



で表される繰り返し単位構造を有する高分子、または分子中に化28、

【化28】



11

3倍ピッチ以上の配線間隔部分に前記ダミーの配線を形成するためのパターンを同時に形成する工程である、
請求項46記載の半導体装置の製造方法。

【請求項52】前記下層導電層は、半導体基板に設けられた不純物拡散領域である、

請求項46記載の半導体装置の製造方法。

【請求項53】前記下層導電層は、下層配線層である、
請求項46記載の半導体装置の製造方法。

【請求項54】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が3.0以下の誘電体膜を形成する工程と、

該誘電体膜の上にキセロゲルを含有する膜を形成する工程と、

前記キセロゲルを含有する膜上に無機膜を形成する工程と、

前記無機膜上に、配線層を形成するためのパターンを形成する工程と、

前記配線層を形成する工程と、

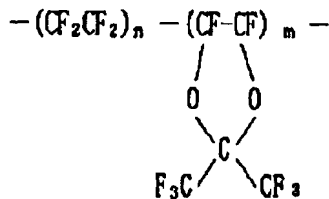
前記配線層を研磨する工程と、

前記無機膜を除去する工程とを有する、
半導体装置の製造方法。

【請求項55】前記比誘電率が3.0以下の誘電体膜は、

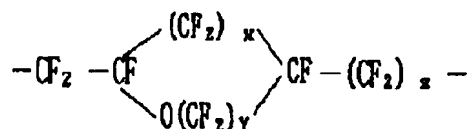
環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エチレンプロピレン、四フッ化エチレン-パーフロアルコキシエチレン共重合体、ポリフッ化ビニリデン、ポリ三フッ化塩化エチレン、フッ化アリアルエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー(BCB)、ポリイミド、アモルファスカarbon、モノメチルトリヒドロキシシラン縮合物(有機SOG)、分子中に

化29、



で表される繰り返し単位構造を有する高分子、分子中に化30、

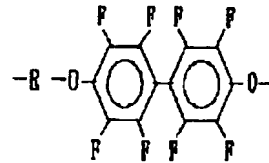
【化30】



で表される繰り返し単位構造を有する高分子、分子中に化31、

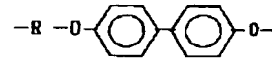
【化31】

12



で表される繰り返し単位構造を有する高分子、分子中に化32、

【化32】



で表される繰り返し単位構造を有する高分子およびキセロゲルからなる群から選ばれる1種または2種以上を含有する膜である、

請求項54記載の半導体装置の製造方法。

【請求項56】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる1種または2種以上からなる層である、

請求項54記載の半導体装置の製造方法。

【請求項57】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物(無機SOG)膜、リンドープ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドープ酸化シリコン膜からなる群から選ばれる1種または2種以上からなる膜である、

請求項54記載の半導体装置の製造方法。

【請求項58】前記配線層を研磨して配線層を形成する工程は、化学的機械的研磨法(CMP法)による研磨工程である、

請求項54記載の半導体装置の製造方法。

【請求項59】前記誘電体膜上にキセロゲルを含有する膜を形成する工程は、

前記誘電体膜上に、前記配線パターンに対して、少なくとも3倍ピッチ以下の配線間隔部分に、前記キセロゲルを含有する膜を形成する工程である、

請求項54記載の半導体装置の製造方法。

【請求項60】前記キセロゲルを含有する膜を形成する工程の前あるいは後に、シランカップリング剤を含有する層を形成する工程をさらに有する、

請求項54記載の半導体装置の製造方法。

【請求項61】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜の上に比誘電率が3.0以下の誘電体膜を形成する工程と、

該誘電体膜の上にキセロゲルを含有する膜を形成する工程と、

前記キセロゲルを含有する膜上に無機膜を形成する工程と、

前記無機膜上に、配線層およびダミーの配線を形成するためのパターンを形成する工程と、

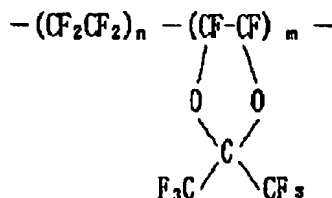
前記配線層およびダミーの配線層を全面に形成する工程

13

と、
前記配線層およびダミーの配線層を研磨する工程と、
前記無機膜を除去する工程とを有する、
半導体装置の製造方法。

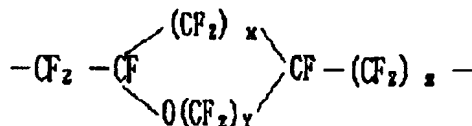
【請求項 6 2】前記比誘電率が 3.0 以下の誘電体は、
環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エ
チレンプロピレン、四フッ化エチレン-パーフロアル
コキシエチレン共重合体、ポリフッ化ビニリデン、ポリ
三フッ化塩化エチレン、フッ化アリールエーテル樹脂、
フッ化ポリイミド、ベンゾシクロブテンポリマー (BC
B)、ポリイミド、アモルファスカーボン、モノメチル
トリヒドロキシシラン縮合物 (有機 SOG)、分子中に
化 3 3、

【化 3 3】



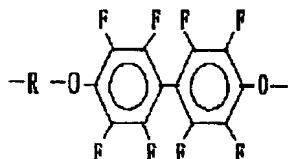
で表される繰り返し単位構造を有する高分子、分子中に
化 3 4、

【化 3 4】



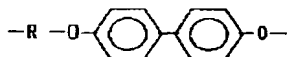
で表される繰り返し単位構造を有する高分子、分子中に
化 3 5、

【化 3 5】



で表される繰り返し単位構造を有する高分子、分子中に
化 3 6、

【化 3 6】



で表される繰り返し単位構造を有する高分子およびキセ
ロゲルからなる群から選ばれる 1 種または 2 種以上を
含有する膜である、

請求項 6 1 記載の半導体装置。

【請求項 6 3】前記配線層は、アルミニウム、銅、金、
タングステンおよびこれらの合金からなる群から選ば
れる 1 種または 2 種以上からなる層である、
請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 4】前記無機膜は、酸化シリコン膜、フッ化
シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シ

14

ラノール縮合物 (無機 SOG) 膜、リンドープ酸化シリ
コン膜、ボロンドープ酸化シリコン膜およびボロン・リ
ンドープ酸化シリコン膜からなる群から選ばれる 1 種ま
たは 2 種以上からなる膜である、

請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 5】前記配線層を研磨する工程は、化学的機
械的研磨法 (CMP 法) による研磨工程である、

請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 6】前記無機膜上に、配線層およびダミーの
配線を形成するためのパターンを形成する工程は、前記
無機膜上に、配線パターン、および前記配線パターンに
対して、少なくとも 3 倍ピッチ以下の配線間隔部分の前
記キセロゲルを含有する膜中に、配線層およびダミーの
配線を形成するためのパターンを同時に形成する工程で
ある、

請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 7】前記誘電体膜上にキセロゲルを含有する
膜を形成する工程は、

前記配線パターンに対して、少なくとも 3 倍ピッチ以下
の配線間隔部分に、前記キセロゲルを含有する膜を形成
する工程である、

請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 8】前記キセロゲルを含有する膜を形成する
工程の前あるいは後に、シランカップリング剤を含有す
る層を形成する工程をさらに有する、

請求項 6 1 記載の半導体装置の製造方法。

【請求項 6 9】半導体基板上に絶縁膜を形成する工程
と、

該絶縁膜の上に比誘電率が 3.0 以下の誘電体膜を形成
する工程と、

該誘電体膜の上にキセロゲルを含有する膜を形成する工
程と、

前記キセロゲルを含有する膜上に無機膜を形成する工程
と、

前記無機膜上に、配線層およびダミーの配線を形成する
ためのパターンを形成する工程と、

前記配線層およびダミーの配線層を全面に形成する工程
と、

前記配線層およびダミーの配線層を研磨する工程と、

前記無機膜を除去する工程と、および、

前記絶縁膜中に上層配線と下層導電層を接続するための
ビアコンタクト、及び前記ダミーの配線の下に絶縁膜中
に下層導電層と接続していないダミーのビアコンタクト
を形成する工程とを有する、

半導体装置の製造方法。

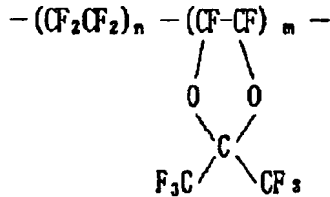
【請求項 7 0】前記比誘電率が 3.0 以下の誘電体膜
は、

環状フッ素樹脂、ポリ四フッ化エチレン、ポリフッ化エ
チレンプロピレン、四フッ化エチレン-パーフロアル
コキシエチレン共重合体、ポリフッ化ビニリデン、ポリ

15

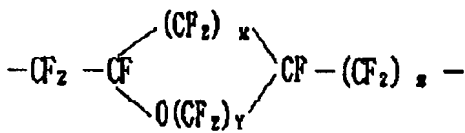
三フッ化塩化エチレン、フッ化アリールエーテル樹脂、フッ化ポリイミド、ベンゾシクロブテンポリマー（BCB）、ポリイミド、アモルファスカarbon、モノメチルトリヒドロキシシラン縮合物（有機SOG）、分子中に

【化37】



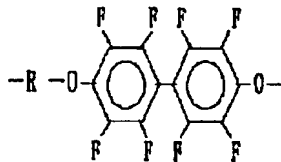
で表される繰り返し単位構造を有する高分子、分子中に

【化38】



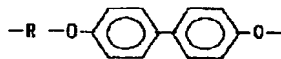
で表される繰り返し単位構造を有する高分子、分子中に

【化39】



で表される繰り返し単位構造を有する高分子、分子中に

【化40】



で表される繰り返し単位構造を有する高分子およびキセロゲルからなる群から選ばれる1種または2種以上を含む膜である、

請求項69記載の半導体装置の製造方法。

【請求項71】前記配線層は、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれる1種または2種以上からなる層である、

請求項69記載の半導体装置の製造方法。

【請求項72】前記無機膜は、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物（無機SOG）膜、リンドープ酸化シリコン膜、ボロンドープ酸化シリコン膜およびボロン・リンドープ酸化シリコン膜からなる群から選ばれる1種または2種以上からなる膜である、

請求項69記載の半導体装置の製造方法。

【請求項73】前記配線層を研磨する工程は、化学的機械的研磨法（CMP法）による研磨工程である、

請求項69記載の半導体装置の製造方法。

16

【請求項74】前記無機膜上に、配線層およびダミーの配線を形成するためのパターンを形成する工程は、前記無機膜上に、配線パターン、および前記配線パターンに対して、少なくとも3倍ピッチ以下の配線間隔部分の前記キセロゲルを含有する膜中に、配線層およびダミーの配線を形成するためのパターンを同時に形成する工程である、

請求項69記載の半導体装置の製造方法。

【請求項75】前記誘電体膜上にキセロゲルを含有する膜を形成する工程は、

前記配線パターンに対して、少なくとも3倍ピッチ以下の配線間隔部分に、前記キセロゲルを含有する膜を形成する工程である、

請求項69記載の半導体装置の製造方法。

【請求項76】前記キセロゲルを含有する膜を形成する工程の前あるいは後に、シランカップリング剤を含有する層を形成する工程をさらに有する、

請求項69記載の半導体装置の製造方法。

【請求項77】前記下層導電層は、半導体基板に設けられた不純物拡散領域である、

請求項69記載の半導体装置の製造方法。

【請求項78】前記下層導電層は、下層配線層である、

請求項69記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低誘電率膜を層間絶縁膜として用いた半導体装置の形成方法および半導体装置の構造に関し、特に、0.25μmルール以下のデバイスプロセスに用いられる多層配線形成技術に関する。

【0002】

【従来の技術】近年の半導体装置の微細化に伴って、配線の微細化、配線ピッチの縮小化が必要とされている。また、同時に、低消費電力化および高速化などの要求に伴い、層間絶縁膜の低誘電率化も要求されている。特にロジック系のデバイスでは、微細配線による抵抗上昇、配線容量の増加がデバイスのスピード劣化につながるため、微細でかつ低誘電率膜を層間絶縁膜とした多層配線が必要不可欠である。

【0003】しかしながら、配線幅の微細化、ピッチの縮小化は、配線自体の縦横比を大きくするだけでなく、配線間のスペースのアスペクト比を大きくし、結果として、縦に細長い微細配線を形成する技術、微細な配線間を層間膜で埋め込む技術などに負担がかかり、プロセスを複雑にすると同時にプロセス数の増大を招いている。

【0004】かかる問題を解決するものとして、従来より、ビアと配線溝をAlリフローズパッタで同時に埋め込み、CMP（Chemical Mechanical Polishing）法により表面のAlを研磨するいわゆるダマシンプロセスが知られている。

50

17

【0005】このダマシンプロセスは、高アスペクト比のA1配線をエッチングで形成することも、配線間の空隙を層間膜で埋め込む必要もなく、大幅にプロセス数を減らすことが可能である。このプロセスは、配線アスペクト比が高くなるほど、そして配線総数が増大するほど、トータルコストの削減に大きく寄与するようになる。また、一方、層間絶縁膜の低誘電率化は、配線間の容量を低減することが期待される。

【0006】しかしながら、比誘電率の小さい材料からなる膜は、従来のデバイスに用いられているシリコン酸化膜と膜質が大きく異なり、そのプロセス技術は未だ開発されていない。従って、その実用化が求められている。

【0007】また、最近になって、比誘電率2.0以下が期待できる材料として、キセロゲルの半導体装置への応用が注目されている。

【0008】本技術に関連するものとして、特開平8-70005号公報には、図22に示すように、金属リード線94の信頼性を高める方法として、低誘電率材料96中に、熱拡散用ダミーリード線93を設ける構造が開示されている。この構造は、基板92上に、アルミニウム合金等からなる金属リード線94と、少なくとも金属リード線94間に空隙、シリカ・エーロゲル、有機SiG、フッ素酸化シリコン等からなる低誘電率材料96と、金属リード線94及び低誘電率材料96上にデポジットされた、AlN、Si₃N₄とAlNとの積層体等からなる伝熱性絶縁層97と、金属リード線94に近接したアルミニウム合金等からなるダミーリード線93とを有している。

【0009】この構造は、金属リード線94からの熱は、熱を拡散することができるダミーリード線93、及び低誘電率材料より熱伝導度が20%高い、好ましくはSi₃N₄より20%高い熱伝導度をもつAlN等の絶縁材料からなる伝熱性絶縁層97に移動できるものである。かかる構造とすることにより、線間（又はリード線間）の配線容量を減少させ、かつ、低誘電率材料の熱伝導度が低下に伴い、高アスペクト比の金属リード線を用いる場合に問題となるジュール熱効果による金属リード線破損等を防止して、信頼性の高い金属リード線を有する半導体装置を得ようとするものである。

【0010】

【発明が解決しようとする課題】上述したダマシン法は、配線パターンを予め層間絶縁膜に形成しておき、そこに金属を埋め込み、CMP法により金属を研磨し、配線を形成するというものである。従来の層間絶縁膜では、酸化シリコン膜等の無機材料を用いてきたが、微細化に伴う容量増大を抑制する目的から、低誘電率の材料が採用されつつある。低誘電率の材料の多くは有機膜であり、有機膜の膜質は、従来の酸化シリコン膜等の無機膜に比して、その硬さは1/10～1/100であり、50

18

例えば、ダマシンプロセスに必要な硬さが不十分である。

【0011】比誘電率が小さい物質、特に比誘電率が3以下の低誘電率膜の多くは有機膜である。有機膜は、従来の層間絶縁膜に用いられてきたシリコン酸化膜に比べ柔らかいものが特徴である。例えば、ヤング率で比較すると、シリコン酸化物が5～10×10¹⁰に対して、有機膜を構成する樹脂は、0.3～0.8×10¹⁰と小さい。

【0012】従って、ダマシン法で配線を形成した場合、有機膜に多くのスクラッチが発生することになる。スクラッチは、歩留りの低下原因となる。そのために、一般にはシリコン酸化膜あるいは窒化膜を有機膜上に形成しているが、これらの膜は、誘電率が有機膜に比べて高く、配線間の容量が増大してしまうという問題があった。

【0013】そこで、ダマシンプロセスの際に、酸化シリコン膜や窒化シリコン膜を併用するアイデアが提案されている。しかし、それらの膜は、誘電率が高く、有機膜による低誘電率化の効果を半減させてしまうという問題がある。

【0014】また、有機膜は、従来の半導体デバイスに用いられてきた層間絶縁膜（シリコン酸化膜）に比べ、熱伝導率が1/10程度と非常に小さく、素子の熱拡散に重大な影響を及ぼす。すなわち、デバイスの縮小化に伴い単位面積あたりの熱発生量は低下するが、放熱のための経路の熱伝導率が下がってきている。従って、放熱経路を考慮したデバイス構造が所望されている。

【0015】さらに、キセロゲルは、シリカゲルという名称で乾燥剤等に使用される等、一般に広く知られた材料であるが、半導体装置への応用には、様々な信頼性に対する要求があり、現状では半導体装置へ適用するのは困難である。すなわち、キセロゲルは、その体積の50～90%が気泡であり、機械的強度、熱伝導性、耐熱性、耐湿性、層間密着性等に問題がある。従って、かかる問題を解決しつつ、低比誘電率のキセロゲルを応用したデバイス構造が所望されている。

【0016】そこで、本発明は、低誘電率膜を層間絶縁膜として用いた半導体装置及びその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明者らは、前記問題点に鑑み、低誘電率膜として有機膜、または有機膜及びキセロゲルを含有する膜を層間絶縁膜として用いた半導体装置をダマシン法で形成する方法および半導体装置、及び該半導体装置の製造方法を考案した。

【0018】すなわち、本発明は、半導体基板上に絶縁膜を介して比誘電率が3.0以下の誘電体膜と、該誘電体膜中に絶縁膜に接する配線層を有する構造の半導体装置において、前記配線層の上面が前記誘電体膜の上面よ

20

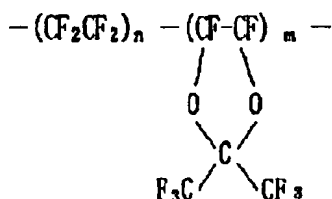
上の高分子からなる有機膜である。

【0028】その他、上記低誘電率膜の材料として、商品名、アモルファステフロン、サイトップ、FLARE等の商品名で市販されているものを用いることができる。

【0029】前記本発明の半導体装置は、好ましくは、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に、より好ましくは、全ての配線間隔が1ミクロン以下になるようにダミーの配線を有する。

【0030】前記本発明の半導体装置は、好ましくは、前記誘電体膜上に、キセロゲルを含有する層間絶縁膜を有し、より好ましくは、前記キセロゲルを含有する層間絶縁膜上に、シランカップリング剤を含有する層を有する。

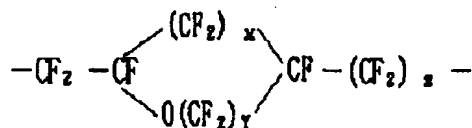
【００３１】前記本発明の半導体装置は、好ましくは、前記ダミーの配線の下に絶縁膜中で、且つ、下層導電層と接続していないダミーの接続孔をさらに有する。



【００３３】前記本発明の半導体装置の製造方法において、前記無機膜は、好ましくは、酸化シリコン膜、フッ化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、シラノール縮合物（無機ＳＯＧ）膜、リンドーブ酸化シリコン膜、ボロリンドーブ酸化シリコン膜およびボロン・リンドーブ酸化シリコン膜からなる群から選ばれる１種または２種以上からなる膜である。

【0034】前記本発明の半導体装置の製造方法において、好ましくは、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に、より好ましくは、全ての配線間隔が1ミクロン以下になるように、ダミーの配線を形成する工程を有する。

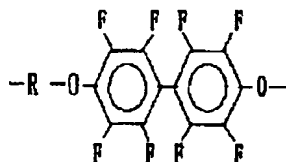
【0035】前記ダミーの配線を形成する工程は、好ましくは、配線パターン及び配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に、より好ましくは、全ての配線間隔が1ミクロン以下になるようにダミーの配線パターンを同時に形成する工程である。



【0036】前記配線層を研磨する工程は、CMP法により研磨する工程であるのが好ましい。

【0037】上記したように、本発明は、比誘電率の低い有機膜あるいはキセロゲルを用いた半導体装置をダマシン法で形成する方法及び半導体装置構造に関するものである。

【0038】ダマシンは、配線パターンを予め層間絶縁膜に形成しておき、そこに金属を埋め込み、CMP（化学的機械的研磨）法により、金属を研磨し、配線層を形成するものである。



【0039】従来の層間絶縁膜には、酸化シリコン膜などの固い材料を用いていた。しかし、半導体装置の微細化に伴う容量増大を抑制する目的から、有機膜が低誘電

$$-R-O-\text{C}_6\text{H}_4-\text{C}_6\text{H}_4-O-$$

【0027】からなる群から選ばれる1種または2種以 50

21

率材料として採用されつつある。

【0040】しかし、有機膜の材質は、酸化シリコン膜等の無機膜などと大きく異なり、例えば、ダマシンプロセスに必要な固さが不十分である。その値は、 $1/10 \sim 1/100$ と言われている。そこで、本発明では、有機膜上に無機膜を形成した後に、配線層を有機膜中にダマシン法により形成し、無機膜を除去する方法を考案した。

【0041】その一方で、有機膜は、熱伝導率が低いために、デバイス動作時に発生する放熱が問題となってきた。そこで、本発明では、配線形成プロセスにおいて、放熱経路、すなわち、ダミーの配線層を有機膜中にダマシン法により形成する半導体装置の製造方法を考案した。

【0042】また、本発明では、下層導電層と上層配線とを接続する接続孔（ビアホール）形成時に、ダミー配線の下に、下層導電層と接続しないダミーの接続孔を形成することによって、放熱効果をさらに高める構造を提案している。

【0043】さらに、本発明では、低誘電率膜として注目されているキセロゲル膜の配線形成プロセスへの適用を考案した。キセロゲル膜は、低誘電率膜であるが、機械的強度、熱伝導性、密着性、耐水性等が、従来の層間絶縁膜に比して劣る。そこで、本発明では、キセロゲルの適用箇所をできるだけ絞り、低誘電率膜と無機絶縁膜を組み合わせることにより、低誘電率膜の奏する効果を損なうことなく、配線間の容量を低減する構造を考案した。すなわち、キセロゲルを最も配線容量が大きくなる部分に用い、それ以外の場所には有機膜無機低誘電率膜を用いるものである。

【0044】さらにまた、本発明は、キセロゲル膜が層間密着性に劣ることに鑑み、キセロゲル膜の下及び／又は上にシランカップリング剤から形成される膜を設けることも提案している。

【0045】本発明によれば、層間絶縁膜を比誘電率が3.0以下の誘電体膜（以下、「低誘電率膜」ともいう。）としたため、配線間容量の増大が大幅に抑制された微細な半導体装置を製造することができる。

【0046】また、放熱のためのダミーの配線層を、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に設ける場合には、熱伝導率の小さい低誘電率膜を使用することによる熱拡散効率の低下を効果的に防止することができる。

【0047】前記ダミーの配線層の下にダミーの接続孔を設ける場合には、さらに熱拡散効率を上げることができる。

【0048】さらに、本発明によれば、配線層の周囲（配線層の左右）、好ましくは、配線間隔が標準ピッチの3倍以下の箇所には、比誘電率が極めて小さなキセロゲルを含有する膜を用い、かつ、配線間の接続孔の周囲

22

（配線層の上下）には、低誘電率膜を使用することによって、キセロゲル膜の欠点を補いつつ、配線容量を大幅に縮小することによって、信頼性の高い微細構造を有する半導体装置を歩留りよく製造することができる。

【0049】また、キセロゲルを含有する膜の上下には、シランカップリング剤からなる層を設けることによって、層間密着性に優れた半導体装置を製造することができる。

【0050】

【発明の実施の形態】以下、本発明を詳細に説明する。本発明の半導体装置は、半導体基板として、トランジスタ、配線パターン等が形成されたn型若しくはp型不純物が注入されたシリコン半導体基板を用いることができる。

【0051】本発明において、前記半導体基板には絶縁膜が設けられる。該絶縁膜としては、例えば、酸化シリコン膜を用いることができる。前記絶縁膜は、例えば、熱酸化による方法、CVD（Chemical Vapor Deposition）法、スパッタリング法等により形成することができ、膜厚は300～700nm程度が好ましい。

【0052】該絶縁膜の上には、低誘電率膜が形成される。該低誘電率膜は、比誘電率が3.0以下のものが好ましい。前記低誘電率膜としては、前記列記した比誘電率が3.0以下の誘電体膜、キセロゲルを含有する膜等ものを使用することができる。

【0053】前記誘電体膜は、例えば、高分子の前駆体をスピコーターで成膜し、300～500℃で焼成することにより形成することができる。また、アモルファスカーボン等の材料の場合は、アセチレン、必要に応じてフルオロカーボンガスを用いて、プラズマCVD装置を用いて形成することができる。前記有機膜の膜厚は、通常、300～700nmが好ましい。また、前記キセロゲルを含有する膜は、例えば、スピコート法で製膜することができる。

【0054】本発明においては、前記有機膜上に、キセロゲルを含有する膜を形成するのが好ましい。キセロゲルとは、乾燥した状態にあるゲルをいい、例えば、シリカゲルを例示することができる。より具体的には、ナノグラス社が開発した、商品名Nonoporous Silicaがあり、ポーラスシリカの1種である。本発明は特にこれに限定されることなく、芳香族等の比較的高分子のアルキル基を有するシランオール樹脂を塗布し、それをゲル化させ、シランカップリング剤あるいは水素化処理を用いて疎水処理等を行って形成したものであれば、どんなキセロゲルでもよい。キセロゲルは、比誘電率が2.0以下となることが期待できる材料であり、配線間の容量を大幅に低減することができる。

【0055】本発明において、キセロゲルを含有する膜を、前記低誘電体膜上、好ましくは、該低誘電体膜上で

あって、少なくとも配線間隔が3倍ピッチ以下の領域に形成する。そして、好ましくは、キセロゲルを含有する膜を配線層の左右に埋め込むように形成するのが好ましい。

【0056】また、特に、複数の配線層を有する半導体装置においては、前記比誘電率が3.0以下の誘電体膜中に、配線間を接続するための接続孔を有する構造とすることが好ましい。

【0057】半導体装置をこのような構成とすることによって、キセロゲルを含有する膜の適用箇所をできるだけ絞り、低誘電率の有機膜とキセロゲルを含有する膜を組み合わせることによって、キセロゲル膜の上記欠点を補いつつ、かつ、低誘電率膜の効果を損なうことなく、配線間の容量を低減することが可能となる。

【0058】また、本発明においては、キセロゲルを含有する膜は層間密着性に乏しい。従って、層間密着性を高めるために、前記キセロゲルを含有する膜の上に、シランカップリング剤を含有する膜を形成するのも好ましい。該シランカップリング剤は、例えば、一般式 $RSiX_3$ あるいは $RR'SiX_2$ (R及びR'はアルキル基、アルコキシアルキル基等を表し、Xはハロゲン原子を表す。) で表される珪素化合物を例示することができる。該珪素化合物は、分子中に疎水性部分(RやR')と極性部分(X)とを有し、疎水性の有機膜と極性を有するキセロゲルを含有する無機膜との層間密着性を高め、剥がれを防止する役割を果たす。

【0059】前記シランカップリング剤は、例えば、スピコート法で塗布し、製膜することができる。

【0060】次に、前記誘電体膜、キセロゲルを含有する膜あるいはシランカップリング剤を含有する膜の上に、無機膜を形成する。該無機膜としては、酸化シリコン膜、フッ化シリコン膜、酸化窒化シリコン膜、シラノール縮合物(無機SOG)膜、リンドープ酸化シリコン膜、ボロンドープ酸化シリコン膜、ボロン・リンドープ酸化シリコン膜等を例示することができる。

【0061】前記無機膜の形成は、通常、プラズマCVD法によるが、還元雰囲気で行う必要がある。酸化雰囲気下でCVDを行うと、有機膜が酸化され、膜の剥がれなどの現象を生じるため好ましくない。例えば、酸化シリコン膜の場合、プラズマCVD装置を用いて、シランガスおよび N_2O ガスの雰囲気下で、温度300~500℃で成膜することができる。

【0062】前記無機膜を堆積後、レジスト膜を形成して配線をパターンニングし、フォトリソエッチングにより、最上層の無機膜、シランカップリング剤を含有する膜、キセロゲルを含有する膜および有機膜を、例えば、一般的なマグネトロン方式のエッチング装置を用いてエッチングを行う。エッチングは、例えば、酸化シリコン等の無機膜の場合は、エッチングガスとして、 C_2F_6 、 CO 、アルゴンおよび酸素ガスを使用して行うことができ

る。

【0063】また、有機膜の場合には、エッチングガスとして、例えば、 CHF_3 と酸素ガスを用いて、-10℃程度の低温で行うことができる。この場合、上層の無機膜は低誘電率膜をエッチングする際のマスクにもなっている。また、有機膜をエッチングする条件では、レジスト膜もエッチングされる。

【0064】次に、いわゆるダマシン法により配線層を形成する。配線層材料としては、アルミニウム、銅、金、タングステンおよびこれらの合金からなる群から選ばれた一種以上を例示することができる。配線材料は、例えば、スパッタリング法あるいはCVD法により形成することができる。

【0065】続いて、CMP法により、余分な金属膜を研磨する。研磨に使用することのできる研磨剤としては、例えば、アルミナ、二酸化マンガン、シリカ系スラリー、式 W_xO_y で表される酸化タングステン、酸化セシウム、酸化ジルコニウム、酸化シリコン等を挙げることができ、かかる研磨剤には、所望により過酸化水素、水酸化カリウム、アンモニア等が混合される。

【0066】完全に金属を研磨したのち、無機膜に入り込んだスクラッチを除去するために、CMP法により50nm程度の無機膜を研磨する。

【0067】次いで、例えば、フッ素源として C_2F_6 、 CO およびアルゴンガスを使用して、無機膜、シランカップリング剤を含有する膜及びキセロゲルを含有する膜のエッチングを行う。この条件では、有機膜はほとんどエッチングされない。

【0068】以上のような操作を行うと、キセロゲルを含有する膜を用いない場合には、配線層の上面は前記誘電体膜の上面よりも高くなる構造が得られる。配線層の上面は前記誘電体膜の上面よりも高くなるのは、最後に無機膜をエッチングにより除去するためである。

【0069】本発明においては、さらに配線パターンに対して少なくとも3倍ピッチ以上の配線間隔の部分に、より好ましくは、配線間隔が1ミクロン以下になるように、ダミーの配線パターンが形成されるのが好ましい。

【0070】半導体装置の配線パターンに対して3倍ピッチ以上の間隔の部分がある場合には、熱伝導度の小さな有機膜、有機膜及びキセロゲルを含有する膜を使用するため、動作時に生じる熱の放出経路がないので、微細構造を有する半導体装置に誤差動等を生じるので好ましくないからである。

【0071】一方、3倍ピッチ以下の間隔にダミー配線を設けることも可能であるが、配線構造が微細になり、ダミー配線を設ける効果に乏しくなる。

【0072】ここで、前記ピッチとは、配線の設計におけるある配線の中心ととなりの配線の中心との距離をいう。半導体装置は、あるピッチで配線層を形成するが、半導体装置の他の部分では、この配線間の距離が3倍ピ

25

ツチ以上あいている箇所がある。一般に、有機膜及びキセログルを含有する膜は、従来、層間絶縁膜として用いられてきた酸化シリコン膜に比べて、熱伝導率が $1/10$ 程度と非常に小さい。本発明は、かかる熱拡散のために、配線パターンに対して少なくとも3倍ピッチ以上の配線間隔の部分に、ダミーの配線パターンを形成するものである。

【0073】このダミー配線パターンは、上述した配線のパターンニングの際に、ダミーのための配線のパターンニングを同時に行い、通常の配線の形成と同様にして形成することが、製造工程上好ましい。

【0074】次に、前記基板を洗浄したのち、多層配線の場合には、第2の誘電膜を $200\sim 400\text{ nm}$ の膜厚で形成する。この誘電膜としては、例えば、酸化シリコン膜、窒化シリコン膜の他、前述した材料からなる有機膜、キセログルを含有する膜等を挙げることができるが、半導体の容量を小さくするために、有機膜及びキセログルを含有する膜を使用するのが好ましい。

【0075】次いで、上記と同様にして第2の配線層を形成したのち、以上の操作を繰り返し、最後に上層をパッシベーション膜で被覆することにより、配線加工が完了する。

【0076】以上のようにして製造される本発明の半導体装置の製造方法は、多層配線構造を有する半導体装置の製造に特に好ましく適用することができる。

【0077】次に、本発明の半導体装置、および該半導体装置の製造方法を、発明の実施形態の説明により、更に詳細に説明する。

【0078】第1実施形態

図1に本発明の半導体装置の一実施形態の断面図を示す。この半導体装置は、2層の配線構造を有するnチャネルMOS型トランジスタである。

【0079】この半導体装置は、p型シリコン半導体基板1上に、トレンチ法により形成した酸化シリコン膜2からなるアイソレーション領域に、図示しないn型不純物がイオン注入されたソース領域とドレイン領域を有する。そして、該半導体基板の上にゲート酸化膜3を介して中央部にポリシリコンからなるゲート電極4が設けられ、ゲート電極は、図示しないゲートと接続している。さらにその上には、比誘電率が3.0以下の低誘電率膜からなる層間絶縁膜5が設けられている。

【0080】そして、さらにその上には、アルミニウムからなる配線層6が設けられる。該配線層は、便宜上、図面で区別していない通常の配線層と放熱のためのダミーの配線層とからなっている。このダミー配線層は、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に形成される。そして、前記配線層は、コンタクトホール7を介して、ソース領域とドレイン領域とに接続している。

【0081】この半導体装置では、該配線層の上層の高

26

さは、酸化膜を除去するため前記低誘電率膜5の上層の高さよりわずかに高く形成されている。

【0082】そして、前記低誘電率膜5の上には、第2層目の配線層8が設けられている。さらに、これらの上部には窒化珪素からなる2層目の低誘電率膜9が設けられ、さらに、ビアコンタクトホール10を介して、第3層目の配線層11が設けられている。そして、その上にパッシベーション膜12が形成された構造を有している。

【0083】本実施形態の半導体装置は、層間絶縁膜に比誘電率が3.0以下の誘電体膜を用いているため、配線間容量の増大が抑制された微細な多層構造を有する半導体装置となっている。

【0084】また、放熱のためのダミーの配線層を、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に設けることによって、熱伝導率の小さい低誘電率膜を使用することによる熱拡散効率の低下を効果的に防止することができる。

【0085】第2実施形態

本発明の第2実施形態は、本発明の半導体装置であるCMOS集積回路の製造方法である。

【0086】まず、リンをドーブしたn型シリコン半導体基板13上に、熱酸化法により酸化シリコン膜14を形成する。次いで、フォトリソレジスト15を使用して、酸化シリコン膜14上にpウェル16の領域となるパターンを形成し、イオン注入法により、ホウ素をシリコン基板内に打ち込みを行い(図2(a))、その後、図2(b)に示すように、レジスト膜15を除去する。

【0087】次に、図2(c)に示すように、例えば、CVD法により全面に窒化シリコン膜17を堆積し、フォトリソレジストで、素子分離領域を形成した後、フォトリソレジストの開孔部の窒化シリコン膜17をエッチングにより除去して開孔する。

【0088】次いで、図3(d)に示すように、選択的酸化法(LOCOS法)により、厚い酸化膜19を選択的に形成する。

【0089】続いて、図3(e)に示すように、マクスとして使用した窒化シリコン膜17とその下の酸化シリコン膜14をエッチングにより除去し、新たな酸化シリコン膜20を形成し、さらにその上に、例えば、CVD法により、ポリシリコン膜を成長形成し、素子分離のパターンニングと同様な方法により、ゲート電極21を形成する。

【0090】さらに、pウェル形成と同様な方法で、イオン注入法により、pウェル領域16には砒素(n+)を、pウェル領域以外にはホウ素(p+)をシリコン基板中に打ち込み、熱拡散によりn+領域23とp+領域22とを形成する。

【0091】そして、図3(f)に示すように、トランジスタ等の素子の形を形成した後、その上に膜厚500

27

nm程度の厚い比誘電率が3.0以下の誘電体膜24を形成する。該誘電体膜の形成は、例えば、前駆体をスピコーターで基板上に成膜し、その後、300~450℃で焼成することにより行うことができる。また、誘電体膜がアモルファスカーボン等の場合には、アセチレン、必要に応じてフルオロカーボンガスを使用して、プラズマCVD装置を用いて成膜し、300~450℃で焼成することにより行うことができる。

【0092】次に、図4(g)に示すように、前記有機膜の上に、例えば、無機膜として酸化シリコン膜25を形成したのち、レジスト膜26を成膜して、各々の素子と金属配線とを接続するためのコンタクトホールを形成するためのパターニングを行う。前記酸化シリコン膜25は、例えば、プラズマCVD装置により、シランガス50sccm、N₂Oガス1000sccmの還元的气氛下で、プラズマパワー500W、圧力10Torr、温度350℃で成膜することができる。

【0093】その後、図4(h)に示すように、コンタクトホール27を開孔する。コンタクトホールは、例えば、一般的なマグネトロン方式のエッチング装置を用いて、最上層の酸化シリコン膜25、その下層の有機膜24をそれぞれエッチングすることにより形成する。エッチングの条件は、例えば、低誘電率膜の場合は、CHF₃(5sccm)、酸素(50sccm)、He(200sccm)ガスを用い、RFプラズマ500W、-10℃という低温であり、酸化シリコン膜の場合は、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)、O₂(6sccm)ガスを用いて、RFプラズマ1500Wである。この場合、上層の酸化シリコン膜25は、低誘電率膜をエッチングする際のマスクの役割も果たしている。

【0094】次いで、図5(i)に示すように、ダマシン法により配線28を形成する。すなわち、配線材料として、例えば、銅をスパッタリング装置あるいはCVD装置により全面に堆積させ、続いて、CMP法により、余分な金属を、例えば、アルミナを用いて研磨する。これは、完全に余分な金属を除去するためと、酸化シリコン膜に入り込んだスクラッチを除去するためである。その後、酸化シリコン膜を、一般的なマグネトロン方式のエッチング装置を用いてエッチングした。このときの条件は、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)である。この条件では、誘電体膜24はほとんどエッチングされない。

【0095】以上のようにして形成される金属配線層28の上面は、酸化膜25を除去するため、誘電体膜よりも高く形成されることになる。

【0096】次に、図5(j)に示すように、基板表面を洗浄した後、パッシベーション膜として、酸化シリコン膜29を300nm形成する。ウェーハプロセスの完了後、マウンティング・ボンディングプロセスを施すこ

28

とにより、所望の半導体装置を製造することができる。

【0097】以上説明したように、本実施形態によれば、低誘電率膜を使用する、配線間容量の増大が抑えられた微細構造の半導体装置を効率よく製造することができる。

【0098】第3実施形態

本発明の第3の実施形態は、パッシベーション膜として低誘電率膜を使用する半導体装置の製造方法である。

【0099】図6(a)は、図示しないトランジスタ、配線パターン等が形成されたシリコン半導体基板30上に、膜厚500nmで酸化シリコン膜31を形成し、さらにその上に膜厚500nmで比誘電率が3.0以下の低誘電率膜32、及び膜厚100nmで、無機膜として酸化シリコン膜33を成膜した状態図である。

【0100】該低誘電率膜32は、第2実施形態と同様にして成膜することができる。酸化シリコン膜33は、第2実施形態の場合と同様にして、プラズマCVD法により、還元气氛下で行う。例えば、シランガス50sccm、N₂Oガス1000sccm、プラズマパワー500W、圧力10Torr、温度350℃の条件で行うことができる。

【0101】次いで、図6(b)に示すように、配線パターンをレジスト34をマスクにパターニングし、図7(c)に示すように、一般的なマグネトロン方式のエッチング装置を用いて、最上層の酸化シリコン膜33およびその下層の有機膜32をエッチングする。例えば、低誘電率膜の場合は、CHF₃(5sccm)、酸素(50sccm)、He(200sccm)ガスを用い、RFプラズマ500W、-10℃という低温でエッチングを行うことができる。また、酸化シリコン膜の場合は、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)、O₂(6sccm)ガスを用いて、RFプラズマ1500Wでエッチングすることができる。この場合、上層の酸化シリコン膜33は、低誘電率膜32をエッチングする際のマスクの役割も果たしている。

【0102】次に、配線材料として、例えば、銅をスパッタリング装置あるいはCVD装置により堆積させる(図7(d))。続いて、CMP法により、余分な金属を、例えば、アルミナを用いて研磨する。これは、完全に余分な金属を除去するためと、酸化シリコン膜に入り込んだスクラッチを除去するためである。

【0103】その後、酸化シリコン膜33を一般的なマグネトロン方式のエッチング装置を用いてエッチングする。このときのエッチングの条件は、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)である。この条件では、低誘電率膜32はほとんどエッチングされない。

【0104】以上のようにして形成される金属配線35の上面は、図8(e)に示すように有機層32の上面よ

りも高く形成される。

【0105】次に、図8(f)に示すように、基板表面を洗浄した後、パッシベーション膜として、第2の低誘電率膜36を第1の低誘電率膜と同様にして膜厚300nmで形成する。

【0106】最後に、ウェーハプロセスの完了後、マウンティング・ボンディングプロセスを施すことにより、所望の半導体装置を製造することができる。

【0107】以上説明したように、本実施形態によれば、低誘電率膜を使用する微細構造の半導体装置を効率よく製造することができる。また、本実施形態により製造される半導体装置は、パッシベーション膜として、第1の低誘電率膜と同様にして第2の低誘電率膜を用いることにより、配線間の容量の小さい半導体装置を得ることができる。

【0108】第4実施形態

第4の実施形態は、2層の配線構造を有し、かつ、ダミー配線42を有する半導体装置の製造例である。

【0109】放熱経路としてのダミーの配線が設けられる以外は、第3実施形態の前掲図8(f)までの状態と同様の工程を経ることにより得ることができる構造の断面図を図9に示す。

【0110】すなわち、まず、図示しないトランジスタ、配線パターン等が形成されたシリコン半導体基板37上に、膜厚500nmで酸化シリコン膜38を形成し、その上に、膜厚500nmで比誘電率が3.0以下の低誘電率膜39、銅からなる配線40および第2の低誘電率シリコン膜41を成膜する。

【0111】ダミー配線42は、CMP法により金属配線を形成したのち、ダミーパターンをレジストをマスクにエッチングすることにより形成する。このとき、配線ピッチが最小ピッチの3倍以上あるところに、ダミーパターンを挿入し、配線間隔が少なくとも1ミクロン以上の箇所をなくす。配線ダミーの挿入は、配線アスペクト比と、最小配線ピッチ(絶対値)に依存する。例えば、アスペクト比2、最小配線ピッチが0.5ミクロンの場合、最小配線間隔はおおよそ0.25ミクロンなので、0.75ミクロン以上の配線間隔を少なくとも確保し、1ミクロン以上の配線間隔を無くすようにダミー配線を形成するのが好ましい。その後、第2の低誘電率膜41を第1の低誘電率膜の形成と同様にして形成することにより、図9(a)に示す状態を得る。

【0112】次いで、図10(b)に示すように、レジスト膜43を全面に堆積させた後、第1層目の配線と第2層目の配線とを接続するコンタクトホール44形成のためのパターンニングを行い、図10(c)に示す様に該コンタクトホール44にタングステン等の金属を埋め込む。

【0113】次に、図11(d)に示すように、全面に窒化シリコンからなる無機膜45を、例えば、CVD法

により膜厚100nmで成膜し、図11(e)に示すように、レジスト46により第2の配線のパターンニングを行う。次いで、図12(f)に示すように、配線パターンをフォトリソエッチングにより形成する。

【0114】そして、図12(g)に示すように、全面に、配線材料としてアルミニウム47を真空蒸着法により全面に堆積させ、図13(h)に示すように、CMP法により前述したのと同様にして第2の配線層48を形成する。

【0115】以上のようにして形成される第2の金属配線48の上面は、第2の有機層40の上面よりも高く形成される。

【0116】次いで、図13(i)に示すように、基板表面を洗浄した後、パッシベーション膜として酸化シリコン膜を、例えば、CVD法により膜厚500nmで形成する。

【0117】最後に、ウェーハプロセスの完了後、マウンティング・ボンディングプロセスを施すことにより、所望の半導体装置を製造することができる。

【0118】以上説明したように、本実施形態によれば、低誘電率膜を使用する微細構造の信頼性の極めて高い半導体装置を効率よく製造することができる。

【0119】本実施形態により製造される半導体装置は、層間絶縁膜として低誘電率膜を使用しているため、半導体装置の配線間の容量を大幅に減少させることができる。

【0120】また、ダミー配線を配線ピッチが最小ピッチの3倍以上あるところに、ダミーパターンを挿入し、配線間隔が少なくとも1ミクロン以上の箇所をなくようにしているため、熱伝導率の低い有機膜を使用する場合であっても、半導体装置の内部で発生する熱を外部に放出することができるので、発熱による故障がない信頼性の高い半導体装置である。

【0121】第5実施形態

本発明の第5実施形態は、2層構造を有する半導体装置であって、配線層間(左右)の層間絶縁膜としてキセロゲルを含有する膜を用い、配線層間(上下)に比誘電率が3.0以下の誘電体膜を使用した半導体装置の製造例である。本実施形態により製造される半導体装置の主要工程断面図を図14及び図15に示す。なお、以下の図においては、便宜上、素子分離膜、電極等は図示を省略している。

【0122】まず、図示しないトランジスタ、配線パターン等が形成されたシリコン基板50上に、シリコン酸化膜、シリコン窒化酸化膜、シリコン窒化膜等の絶縁膜51を形成する。シリコン酸化膜は、例えば、スピコート法を用い、市販の無機SOG(シラノール又はシラノールを含むポリマーを主成分とするもの)を、約50nmの膜厚で形成する。この際、スピコート後は、150~200℃で1分程度のベークを行い、キュアを3

31

50～450℃で30分から1時間行う。シリコン酸化膜は、プラズマ装置を用いてプラズマCVD法により形成することもできるが、銅配線を酸化させるのを極力防止するために、酸化剤としてN₂Oガスをを用い、シリコン源として、モノシラン、ジシラン、トリシラン等のシラン類を用いることが好ましい。プラズマCVD法による場合は、基板温度300～400℃、プラズマパワー350W、圧力1kPa程度の条件で成膜することができる。

【0123】シリコン窒化酸化膜の場合は、アミノ基を有する市販の無機SOGをスピンコート法で成膜することができるが、好ましくは、プラズマCVD法を用いて成膜する。使用するガスとして、例えば、シリコンソースとして、モノシラン、ジシラン、トリシラン等のシラン類を用い、窒化剤として、例えば、アンモニア、ヒドラジン等を、酸化剤として、N₂Oガスを、キャリアガスとして、窒素、ヘリウム、アルゴン等をそれぞれ用い、基板温度を300～400℃、プラズマパワー350W、圧力1kPa程度の温度で成膜することができる。

【0124】シリコン窒化膜の場合も同様に、アミノ基を有する市販の無機SOGをスピンコート法で成膜することができるが、好ましくは、プラズマCVD法を用いて成膜する。使用するガスとしては、シリコンソースとして、モノシラン、ジシラン、トリシラン等のシラン類を用い、窒化剤として、アンモニア、ヒドラジン等を、キャリアガスとして、窒素、ヘリウム、アルゴン等をそれぞれ用い、基板温度を300～400℃、プラズマパワー350W、圧力1kPa程度の温度で成膜することができる。

【0125】次いで、全面に図示しないレジスト膜を成膜後、所定のパターニングを行い、フォトリソ法にてコンタクトホールを開孔し、タングステン等の金属を埋め込むことにより、コンタクトプラグ52を形成する。

【0126】次に、低誘電率膜53を、膜厚300～800nm程度で成膜することにより、図14(a)に示す状態図を得る。前記低誘電率膜53は、比誘電率が3.0以下の絶縁膜であれば特に制限はない。例えば、低誘電率膜やキセロゲルを含有する膜を挙げることができる。その他低誘電率膜としては、前記列記したものをを用いることができる。

【0127】次いで、例えば、窒化シリコン、シリコンカップリング剤等からなる無機膜56を、例えば、CVD法により膜厚100nmで全面に成膜し、図示しないレジスト膜により第1の配線のパターニングを行い、配線パターンをフォトリソ法により形成する。この際のエッチングは、例えば、市販のエッチング装置で、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)ガスをを用いて、RFプラズマ15

32

00Wで行うことができる。

【0128】続いて、図14(b)に示すように、全面に、配線材料としてアルミニウム、銅、銅合金、タングステン等の金属を真空蒸着法等により堆積させ、CMP法により第1の配線層54を形成する。この際、前記無機膜56は、完全に除去されるのが好ましいが、実際の製造上は、図14(b)に示すように基板に残存していてもよい。

【0129】次いで、図14(c)に示すように、全面に低誘電率膜57を膜厚800nm程度で成膜する。成膜は、例えば、前駆体をスピンコーターで成膜し、その後、300～450℃でキュア(焼成)することにより行うことができる。前記低誘電率膜の材料としては、比誘電率が3.0以下のものが好ましく、例えば、前記列記したものを用いることができる。

【0130】なお、アモルファスカーボン等の材料を用いる場合は、アセチレン、必要に応じてフルオロカーボンガスをを用い、プラズマCVD装置を用いて形成することができる。この場合にも、300℃～450℃でキュアを行う。

【0131】次いで、図示しないレジスト膜を全面に成膜した後、所定のパターニングを行い、フォトリソ法により第2の接続孔を第1配線層まで開口したのち、タングステン等の金属を埋め込むことにより、ビアコンタクトプラグ58を形成する(図15(d))。

【0132】次に、図15(e)に示すように、全面に、キセロゲルを含有する膜59を、例えば、膜厚500nm程度で形成する。キセロゲルとしては、例えば、ナノグラス社が開発したNonoporous Silica(商品名)を用いることができる。Nonoporous Silica(商品名)は、ポーラスシリカの一種であるが、本実施形態では、これに限定されることなく、芳香族等の比較的高分子のアルキル基を有するシランノール樹脂をウェーハ上に塗布し、それをゲル化させ、シランカップリング剤または水素化処理により疎水処理を行って形成されたものであってもよい。

【0133】なお、この場合、キセロゲルを含有する膜は、特に層間密着性に乏しいので、前記低誘電率膜上に、前記列記したようなシランカップリング剤を、剥離防止のために予め塗布しておくのが好ましい。シランカップリング剤としては、一般式:RSiX₃,RR'SiX₂(式中、R,R'は、アルキル基を表し、Xはハロゲン原子を表す。)で表されるアルキルシラン類を例示することができる。

【0134】次いで、図示しないレジスト膜を全面に成膜後、所定のパターニングを行い、フォトリソ法により、配線層のための溝を形成する。この際のエッチングは、例えば、市販のエッチング装置で、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)ガスをを用いて、RFプラズマ150

33

0Wで行うことができる。続いて、図15(e)に示すように、全面に、配線材料としてアルミニウム、銅、銅合金、タングステン等の金属を真空蒸着法等により堆積させたのち、図示しない無機膜を堆積させ、例えば、シリカ系スラリーを用いたCMP法により第2の配線層60を形成する。この際、無機膜としては、第1の配線層を形成する際に列記したのと同様のものを使用することができる。なお、無機膜は、完全に除去されるのが好ましいが、実際の製造では基板上に残存していてもよい。

【0135】最後に、図15(f)に示すように、全面¹⁰に酸化シリコン膜等の絶縁膜61をパッシベーション膜として形成して、配線層の形成工程が終了する。

【0136】本実施形態では、配線層の周囲(配線層の左右)、好ましくは、配線間隔が標準ピッチの3倍以下の箇所には、比誘電率が極めて小さなキセロゲルを含有する膜を用い、かつ、配線間の接続孔の周囲(配線層の上下)には、比誘電率が3.0以下の誘電体膜を使用している。従って、キセロゲル膜の機械的強度、熱伝導性、耐熱性、耐湿性、層間密着性に乏しいという欠点を補いつつ、配線容量を大幅に縮小することによって、信頼性の高い微細構造を有する半導体装置を歩留りよく製造することができる。

【0137】また、キセロゲルを含有する膜の上下には、シランカップリング剤からなる層を設けることによって、層間密着性に優れた半導体装置を製造することができる。

【0138】さらに、放熱のためのダミーの配線を設けているので、半導体装置全体の発熱が少なく、温度上昇による誤作動の少ない信頼性の高い半導体装置である。

【0139】第6実施形態

本実施形態では、層間絶縁膜として低誘電率有機膜を用い、放熱経路としてダミーの配線層およびダミーの接続孔(ダミーのコンタクトホール)を形成する例である。

【0140】先ず、図16(a)に示すように、図示しないトランジスタ等の能動素子、素子分離膜63で構成されたシリコン半導体基板62に下層層間絶縁膜64を形成する。

【0141】その後、図16(b)に示すように、全面にレジスト膜65を成膜し、コンタクトプラグ(接続孔)66およびダミーのコンタクトプラグ67の形成のためのパターンニングを行う。ダミーのコンタクトホールは、層間絶縁膜63上で上層に形成するダミーの配線の下部に形成するのが製造上好ましい。また、コンタクトピッチは、最小ピッチになっていることが好ましい。最小ピッチにすることにより、熱伝導性が向上し、熱拡散効率を高めることができる。

【0142】また、トランジスタ、素子分離膜、下層層間絶縁膜、コンタクトプラグ等の形成は、公知の技術を利用することができる。下層層間絶縁膜としては、例えば、酸化シリコン膜、リン、あるいはリン及びホウ素が⁵⁰

34

不純物としてドーピングされた酸化シリコン膜を形成することができる。また、コンタクトプラグ(66, 67)の形成にはタングステン等の導電性物質を埋め込むことにより形成することができる。以上のようにして、図16(c)に示す状態を得る。

【0143】次いで、図17(d)に示すように、低誘電率膜68を全面に形成した後、該低誘電率膜68上に、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜あるいは窒化膜系の無機膜69を、例えば、膜厚100nm程度で成膜する。

【0144】なお、この成膜は、通常、プラズマCVD(Chemical Vapour Deposition)法が用いられるが、還元雰囲気下で行うのが好ましい。酸化雰囲気下でCVD法を用いる場合には、低誘電体有機膜が酸化され、膜剥がれ等の好ましくない現象を引き起こすおそれがある。

【0145】エッチングの条件として、酸化シリコン膜を成膜する場合には、例えば、プラズマCVD装置を用い、シランガス50sccm、N₂Oガス100sccm、プラズマパワー500W、圧力10Torr、温度350℃の条件で行うことができる。

【0146】次に、図17(e)に示すように、全面にレジスト膜70を成膜し、配線及びダミーの配線を形成するためのパターンニングを行う。ダミーの配線のパターンニングは、好ましくは、少なくとも3倍ピッチ以上の配線間隔の部分、より好ましくは、3倍ピッチ以上の配線間隔の部分であって、全ての配線間隔が1ミクロン以下になるように行う。

【0147】なお、この場合、配線のパターンニングとダミーの配線のパターンニングを必ずしも同時に行う必要はない。

【0148】次いで、一般的なマグネトロン方式のエッチング装置を用いて、最上層の酸化シリコン膜69及びその下層の低誘電体膜68をエッチングする。エッチングは、例えば、酸化シリコン膜のエッチングの場合は、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)、O₂(6sccm)ガスを用いて、RFプラズマ1500Wで行うことができる。また、低誘電体膜のエッチングの場合は、CHF₃(5sccm)、酸素(50sccm)、He(200sccm)ガスを用い、RFプラズマパワー500W、-10℃の条件で行うことができる。

【0149】上記エッチングにおいては、上層の酸化シリコン膜69は、低誘電体膜68をエッチングする際のマスクの役割も果たしている。すなわち、低誘電体膜をエッチングする条件では、レジスト膜70も同時にエッチングされる。なお、本実施形態では、酸化シリコン膜を用いるが、その他、TiN、TiON、Ta₂N、Ta₂O、TaON、WN、W、Ti等の金属系材料を使用することもできる。

35

【0150】次に、図17(f)に示すように、ダマシン法により、配線層71及びダミーの配線層72を形成する。以上のようにして形成される配線層71及びダミーの配線層72の上面は、低誘電率膜68の上面よりも高く形成されている。

【0151】すなわち、配線層の形成は、スパッタリング装置あるいはCVD装置を用いて、配線材料(金属)として、例えば、銅を全面に堆積させ、続いて、CMP法により、余分な金属膜を研磨した後、再度のCMP法により、50nm程度の無機膜(酸化シリコン膜)69¹⁰を研磨することにより行われる。この研磨は、完全に金属を除去するためと、酸化シリコン膜に入ったスクラッチを除去するために行われるものである。

【0152】次いで、酸化シリコン膜69を、一般的なマグネトロン方式のエッチング装置を用いてエッチングする。このときの条件としては、例えば、C₂F₆(14sccm)、CO(180sccm)、Ar(240sccm)を用いることができる。こういった条件では、誘電体有機膜はほとんどエッチングされない。なお、装置性能よりも、信頼性を重視する場合には、この²⁰酸化シリコン膜の除去工程を省略することができる。

【0153】以上のようにして得られる配線構造は、ダミーの配線層の他に、ダミーの配線層に接続するダミーのコンタクトプラグを有しているもので、更に放熱効果が高められている。従って、信頼性の極めて高い配線構造を有する半導体装置である。

【0154】第7実施形態

本実施形態では、2層の配線構造を有し、ダミーの配線層及びダミーの接続孔(ダミーのビアコンタクトホール及びダミーのビアコンタクトホール)を有する半導体装³⁰置の製造例である。

【0155】まず、前記第6実施形態と同様にして、前掲図17(g)に示す状態を得る。次に、前記配線層71及びダミーの配線層72上に、膜厚100nm以下の薄い窒化シリコン膜、酸化シリコン膜あるいは窒化酸化シリコン膜等の図示しない無機膜を形成した。この膜は、ビアコンタクトホール開口時にエッチングストップ層として用いるため、できるだけ薄い方が望ましい。本実施形態では、例えば、窒化シリコン膜を膜厚10nmで形成する。⁴⁰

【0156】次いで、図18(h)に示すように、第2の導電体膜73を全面に形成する。本実施形態では、この低誘電体膜73として、前記列記したもののほか、比較的誘電率の高い、有機SOG膜、シリコンフッ化酸化膜等を使用することも可能である。この第2の低誘電体膜73は、一般に市販されているCVD装置あるいはSOGコーター装置を用い、公知の技術を用いて形成することができる。

【0157】次に、前記第2の低誘電体膜73上に、シリコン酸化膜、窒化酸化シリコン膜あるいは窒化シリコ⁵⁰

36

ン膜等の無機膜74を成膜する。これらの膜は、一般的には、CVD装置を用いて成膜することができるが、SOGコーター、蒸着、スパッタ装置を用いることもできる。この無機膜74は、配線層をパターニング後のエッチングした際のストッパーとして作用する。

【0158】次いで、全面にレジスト膜75を成膜した後、ビアコンタクト及びダミーのビアコンタクト形成のためのパターニングを行う。このとき、ダミーのビアコンタクトホールの形成は、上下にダミーの配線が形成されるところに、最小ピッチで行うのが好ましい。

【0159】次に、無機膜74及び第2の低誘電率膜73をエッチングすることにより、ビアコンタクトホール及びダミーのビアコンタクトホールを形成することにより、図18(h)に示す状態図を得る。無機膜74及び第2の低誘電率膜73のエッチングは、前述した無機膜及び低誘電率膜のエッチング条件と同様にして行うことができる。その際には、レジスト膜75も同時にエッチング除去される。

【0160】その後、銅等の金属配線材料を前記ビアコンタクトホール及びダミーのビアコンタクトホールに埋め込むことにより、ビアコンタクトプラグ74及びダミーのビアコンタクトプラグ75を形成することにより、図18(j)に示す状態図を得る。

【0161】次いで、全面に第3の低誘電率膜78を形成する。形成方法は、前記第2の低誘電体膜と同様である。さらに、前記第3の低誘電体膜78上に、シリコン酸化膜、窒化酸化シリコン膜あるいは窒化シリコン膜等の無機膜79を成膜することにより、図19(k)に示す状態図を得る。これらの膜は、一般的には、CVD装置を用いて成膜することができるが、SOGコーター、蒸着、スパッタ装置を用いることもできる。この無機膜79は、配線層をCMP法により研磨するときのストッパーとして作用する。

【0162】次に、図19(l)に示すように、全面にレジスト膜80を成膜後、配線層及びダミーの配線層形成のためのパターニングを行う。ダミーの配線層のパターニングは、配線間隔が最小ピッチ以上のところに形成するのが望ましい。ダミーパターンを設計最小寸法で形成した場合に、ダミーの配線層と配線層との間隔が最小ピッチ以上にするためである。なお、性能を重視する場合においては、その間隔を最小間隔よりも2倍以上にしておくのがより好ましい。配線間隔を2倍以上にすることにより、配線間の容量をおよそ半分にすることができるからである。

【0163】次いで、一般的なマグネトロン方式のエッチング装置を用いて、最上層の無機膜77、およびその下層の第3の低誘電体膜78をエッチングする。このエッチングは、例えば、低誘電体膜の場合は、CHF₃(5sccm)、O₂(50sccm)、He(200sccm)ガスを用い、RFプラズマ500W、-1

37

0℃で行うことができる。また、無機膜（酸化シリコン膜）の場合は、例えば、 C_2F_6 （14 sccm）、 CO （180 sccm）、 Ar （240 sccm）、 O_2 （6 sccm）ガスを用いて、RFプラズマ150Wでエッチングを行うことができる。

【0164】この場合、上層の無機膜79は、第3の低誘電体膜78をエッチングする際のマスクにもなっている。すなわち、第3の低誘電体膜をエッチングする条件では、レジスト膜80も同時にエッチングされる。なお、本実施形態では、酸化シリコン膜等の無機膜を用い10
ているが、 TiN 、 $TiON$ 、 TaN 、 TaO 、 $TaON$ 、 WN 、 W 、 Ti 等の他の金属膜を用いることもできる。

【0165】また、このときダミーのコンタクトのパターニングを行わず、配線層を形成した後、ダミーのコンタクトホール形成のためのパターニングを行って、そこに、熱伝導性の高い、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜等を形成することもできる。

【0166】次に、ダマシン法により配線層81及びダミーの配線層82を形成する。すなわち、配線材料（金属）として、例えば、銅をスパッタ装置あるいはCVD装置で形成し、続いて、CMP法により余分な金属膜を研磨する。最後に、再度のCMP法により、50nm程度の無機膜79を研磨する。無機膜を再度研磨するのは、完全に余分な金属を除去することと、無機膜（酸化シリコン膜等）に入ったスクラッチを除去するためである。

【0167】以上の様にして、図20（m）に示すような2層の配線層、ダミーの配線層、接続孔及びダミーの接続孔を有する多層配線構造を形成することができる。30
このとき、配線層81及びダミーの配線層82の上面の高さは、第3の低誘電率膜78の上面の高さよりも高く形成されている。

【0168】なお、以上の操作を繰り返すことにより、3層以上の多層配線構造も同様に形成することができる。

【0169】以上のようにして得られる配線構造は、ダミーの配線層の他に、ダミーのコンタクトプラグを有しているので、更に放熱効果が高められている。従って、信頼性の高い多層配線構造を有する半導体装置を得るこ40
とができる。

【0170】なお、上記実施形態では、配線層あるいは接続孔（コンタクトホールまたはビアコンタクトホール）形成のためのパターニングと同時にダミーの配線層あるいはダミーの接続孔形成のためのパターニングを同時に行う例を示した。本発明においては、配線層あるいは接続孔を形成した後に、ダミーの配線層あるいはダミーの接続孔を形成することを行うことも可能である。

【0171】例えば、配線層を形成した後にダミーの配線層を形成するには、次のように行うことができる。先50

38

ず、図21（a）に示すように、接続プラグ85及び配線層84を形成した構造を得たのち、図21（b）に示すように、酸化シリコン膜等の無機膜89を全面に成膜した後、レジスト膜89を成膜し、ダミーの配線層形成のためのパターニングを行う。

【0172】その後、一般的なマグネトロン方式のエッチング装置を用いて、前記無機膜89を、例えば、 C_2F_6 （14 sccm）、 CO （180 sccm）、 Ar （240 sccm）、 O_2 （6 sccm）ガスを用いて、RFプラズマ1500Wでエッチングする。また、前記誘電体膜（誘電体有機膜）86を、 CHF_3 （5 sccm）、 O_2 （50 sccm）、 He （200 sccm）ガスを用い、RFプラズマ500W、 $-10^\circ C$ でエッチングする。

【0173】その後、ダミーパターンを、CVDまたはSOGコーターを用い、酸化シリコン膜、窒化シリコン膜あるいは窒化酸化シリコン膜を形成して埋め込む。酸化シリコン膜、窒化シリコン膜あるいは窒化酸化シリコン膜は、熱伝導性に優れている。次いで、絶縁膜研磨用のCMP装置を用いて、シリカ系スラリーあるいは酸化セリウムスラリーを用いて研磨し、図21（c）に示す構造を得る。この場合も配線層84及びダミーの配線層90の上面は、低誘電率膜86の上面よりも、無機膜88の高さ分だけ高く形成される。

【0174】なお、本実施形態では、低誘電率膜として誘電体有機膜を使用しているが、キセロゲルを使用する場合にも、本発明の所期の効果を奏する構造を得ることができる。その際のエッチング条件としては、前記無機膜のエッチング条件と同様である。

【0175】

【発明の効果】以上説明したように、本発明の半導体装置は、層間絶縁膜を比誘電率が3.0以下の誘電体膜を用いるため、配線間容量の増大が大幅に抑制された微細な半導体装置である。

【0176】また、放熱のためのダミーの配線層を、配線パターンに対して、少なくとも3倍ピッチ以上の配線間隔の部分に設けることによって、熱伝導率の小さい低誘電率膜を使用することによる熱拡散効率の低下を効果的に防止することができるものである。

【0177】また、ダミーの接続プラグ（コンタクトプラグ及びビアコンタクトプラグ）をダミーの配線層の下に設ける場合には、熱伝導率の小さい低誘電率膜を使用することによる熱拡散効率の低下をより効果的に防止することができる。

【0178】さらに、本発明によれば、配線層の周囲（配線層の左右）、好ましくは、配線間隔が標準ピッチの3倍以下の箇所には、比誘電率が極めて小さなキセロゲルを含有する膜を用い、かつ、配線間の接続孔の周囲（配線層の上下）には、低誘電率膜を使用することによって、キセロゲル膜の欠点を補いつつ、配線容量を大幅

に縮小することによって、信頼性の高い微細構造を有する半導体装置を歩留りよく製造することができる。

【0179】また、キセロゲルを含有する膜の上下には、シランカップリング剤からなる層を設けることによって、層間密着性に優れた半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施態様を示す断面図である。

【図2】第2の実施形態における主要工程断面図である。 (a) は、シリコン半導体基板上に酸化シリコン膜を形成した図であり、 (b) は、pウェル領域を形成した図であり、 (c) は、pウェル領域を形成した後、素子分離領域形成のためのパターニングを行った図である。

【図3】第2の実施形態における主要工程断面図である。 (d) は、素子分離領域形成のためのパターニングを行った後、LOCOS法により、素子分離膜を形成した図であり、 (e) は、酸化シリコン膜を形成した後、ゲート電極を形成し、n+領域とp+領域を形成した図20であり、 (f) は、n+領域とp+領域を形成した後、全面に低誘電率膜を形成した図である。

【図4】第2の実施形態における主要工程断面図である。 (g) は、全面に低誘電率膜を形成した後、酸化シリコン膜を形成し、配線層形成のためのパターニングを行った図であり、 (h) は、配線層形成のためのパターニングを行った後、フォトリソ法にて配線溝とコンタクトホールを形成した図である。

【図5】第2の実施形態における主要工程断面図である。 (i) は、配線層形成のためのパターニングを行った後、フォトリソ法にて配線溝とコンタクトホールを形成した後、アルミニウムを全面に堆積させ、CMP法により配線を形成した図であり、 (j) は、配線を形成した後、全面にパッシベーション膜を形成した図である。

【図6】第3の実施形態における主要工程断面図である。 (a) は、シリコン半導体基板上に、酸化シリコン膜を形成し、その上に低誘電率膜を形成し、さらにその上に酸化シリコン膜を形成した図であり、 (b) は、酸化シリコン膜を形成した後、レジストにて配線のためのパターニングを行った図である。

【図7】第3の実施形態における主要工程断面図である。 (c) は、配線のためのパターニングを行った後、フォトリソ法にてコンタクトホールを形成した図であり、 (d) は、コンタクトホールを形成した後、全面に銅を堆積した図である。

【図8】第3の実施形態における主要工程断面図である。 (e) は、銅を堆積した後、CMP法により配線層を形成した図であり、 (f) は、パッシベーション膜として低誘電率膜を形成した図である。

【図9】第4の実施形態における主要工程断面図である。 (a) は、シリコン半導体基板上に酸化シリコン膜を形成し、低誘電率膜を形成したのち、配線とダミー配線を形成し、第2の低誘電率膜を形成した図である。

【図10】第4の実施形態における主要工程断面図である。 (b) は、第2の低誘電率膜を形成した後、レジストを用いて、フォトリソ法によりコンタクトホールを形成した図であり、 (c) は、コンタクトホールを形成した後、該コンタクトホールに金属(W)を埋め込んだ図である。

【図11】第4の実施形態における主要工程断面図である。 (d) は、コンタクトホールに金属(W)を埋め込んだ後、全面に窒化シリコン膜を形成した図であり、 (e) は、窒化シリコン膜を形成した後、レジストを用いて、第2の配線層を形成するためのパターニングを行った図である。

【図12】第4の実施形態における主要工程断面図である。 (f) は、第2の配線層を形成するためのパターニングを行った後、フォトリソ法により、第2の配線層を形成した図であり、 (g) は、第2の配線層を形成した後、全面にアルミニウム膜を形成した図である。

【図13】第4の実施形態における主要工程断面図である。 (h) は、全面にアルミニウム膜を形成した後、CMP法により、第2の金属配線を形成した図であり、 (i) は、第2の金属配線を形成した後、パッシベーション膜を形成した図である。

【図14】第5の実施形態における主要工程断面図である。 (a) は、半導体基板上にコンタクトプラグを形成した後、低誘電率膜を形成した図であり、 (b) は、さらに第1の配線層を形成し、その上に無機膜を形成した図であり、 (c) は、第2の低誘電率膜を形成した図である。

【図15】第5の実施形態での製造工程を示す断面図である。 (d) は、第2の低誘電率膜(有機膜)中に第2の接続孔を形成した図であり、 (e) は、キセロゲルを含有する膜を形成後、第2の配線層を形成した図であり、 (f) は、パッシベーション膜を形成した図である。

【図16】第6の実施形態での製造工程を示す断面図である。 (a) は、半導体基板上に、素子分離膜を形成し、層間絶縁膜を形成した図であり、 (b) は、全面にレジスト膜を成膜し、コンタクトホール及びダミーのコンタクトホールを形成するためのパターニングを行った図であり、 (c) は、金属材料を埋め込んで、コンタクトプラグ及びダミーのコンタクトプラグを形成した図である。

【図17】第6の実施形態での製造工程を示す断面図である。 (d) は、さらに低誘電率有機膜を形成し、その上に無機膜を成膜した図であり、 (e) は、全面にレジスト膜を成膜した後、第1の配線層及びダミーの配線層

41

を形成するためのパターニングを行った図であり、
(f)は、第1の配線層を形成した図である。

【図18】第6の実施形態での製造工程を示す断面図である。(g)は、さらに第2の低誘電率膜を形成後、

(h)は、さらに無機膜を形成後、全面にレジスト膜を成膜後、ビアコンタクトホール及びダミーのビアコンタクトホール形成のためのパターニングを行った図であり、(i)は、ビアコンタクトプラグ及びダミーのビアコンタクトプラグを形成した図である。

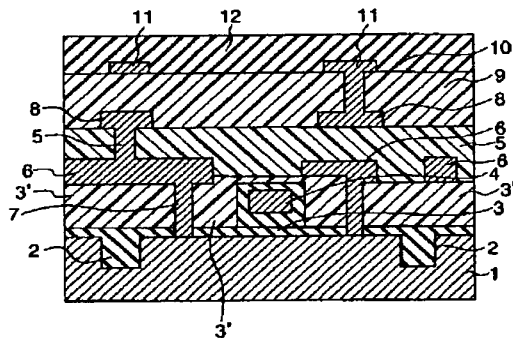
【図19】第6の実施形態での製造工程を示す断面図である。(k)は、さらに第3の低誘電率膜を形成し、その上に無機膜を形成した図であり、(l)は、レジスト膜を成膜した後、第2の配線層及びダミーの配線層を形成するためのパターニングを行った図である。

【図20】第6の実施形態での製造工程を示す断面図である。(m)は、第2の配線層及びダミーの配線層を形成した図である。

【図21】第6の実施形態での製造工程を示す断面図である。(a)は、第1の配線層を形成した図であり、

(b)は、さらに無機膜を形成した後、全面にレジスト膜を成膜し、ダミーの配線層を形成するためのパターニングを行った図であり、(c)は、ダミーの配線層を形成した図である。*

【図1】



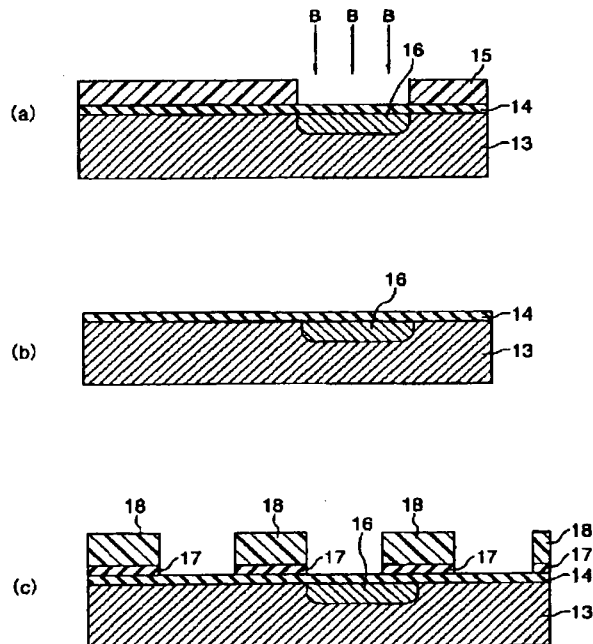
42

*【図22】ダミーリード線を有する従来の金属リード線を有する半導体装置の断面図である。

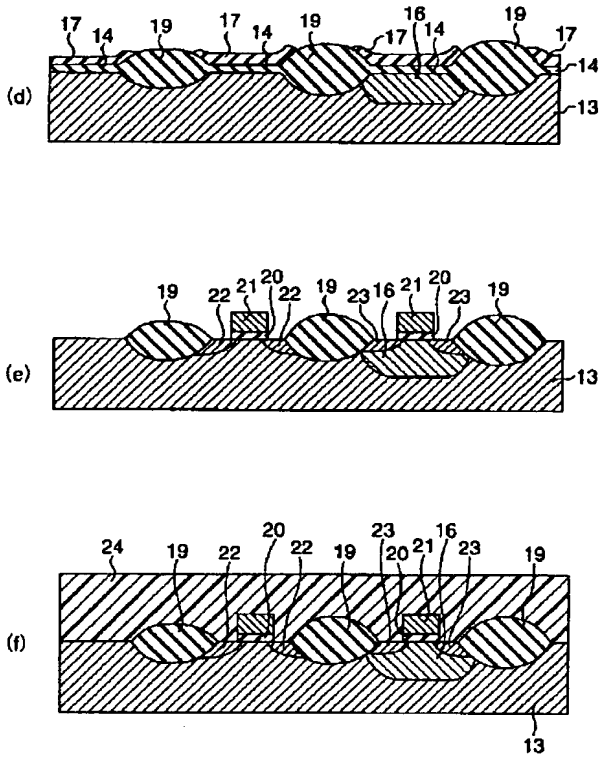
【符号の説明】

1, 13, 30, 37, 50, 62, 81, 87…半導体基板、2, 19, 63, 82…素子分離膜、3…ゲート絶縁膜、4, 21…ゲート電極、5, 9, 24, 29, 32, 36, 39, 41, 53, 57, 68, 73, 78, 94…低誘電率膜、6, 8, 11, 28, 35, 40, 48, 54, 60, 71, 81, 85, 91…配線層、7, 10, 27, 44, 52, 58, 66, 76, 84…コンタクトホール、12, 49, 61…パッシベーション膜、14, 20, 25, 31, 33, 38…酸化シリコン膜、15, 18, 26, 34, 43, 46, 65, 70, 75, 80, 89…レジスト膜、16…pウェル、17, 45…窒化シリコン膜、22…p+領域、23…n+領域、42, 72, 82, 90…ダミーの配線層、47…アルミニウム膜、51…絶縁膜、59…キセロゲルを含有する膜、3', 64, 83…層間絶縁膜、67, 77, 85…ダミーのコンタクトホール、69, 74, 79…無機膜、92…基板、93…ダミーリード線、94…金属リード線、95…伝熱層、96…低誘電率材料、97…伝熱性絶縁層

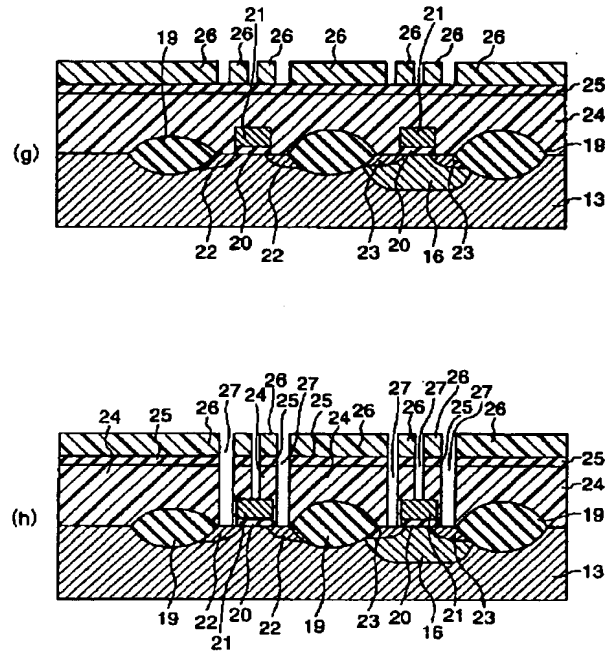
【図2】



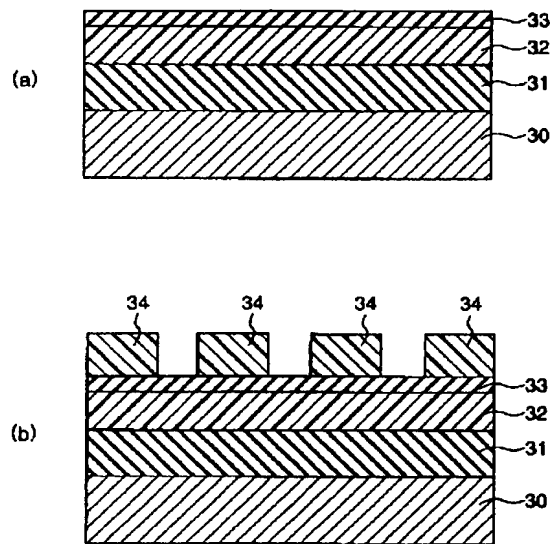
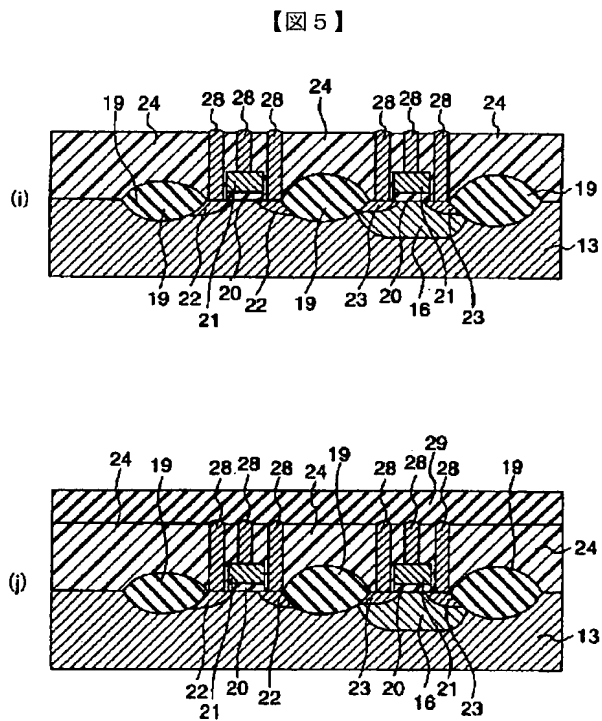
【図 3】



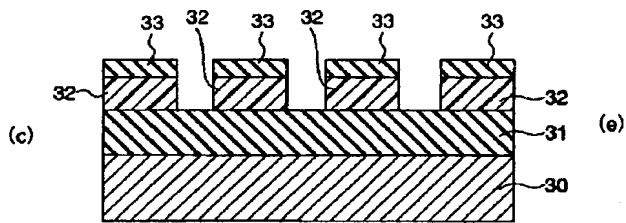
【図 4】



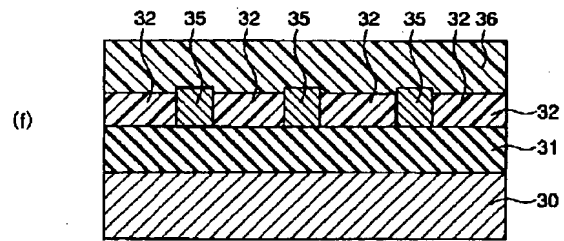
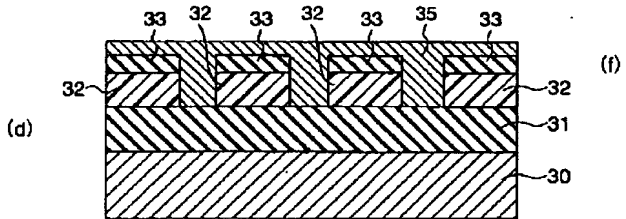
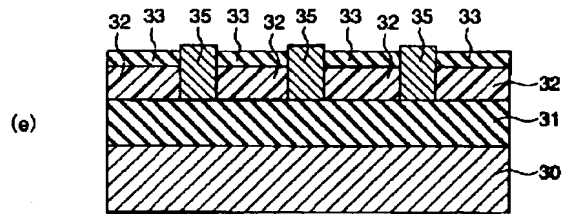
【図 6】



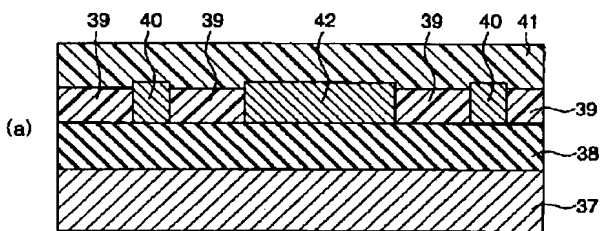
【図 7】



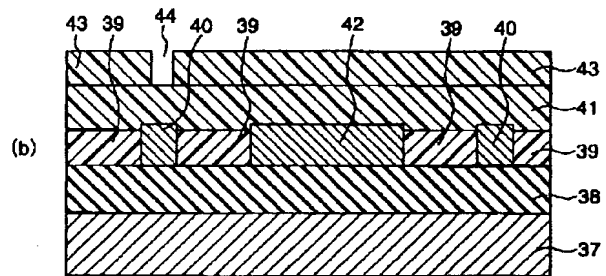
【図 8】



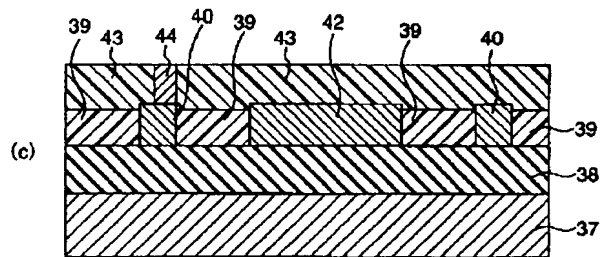
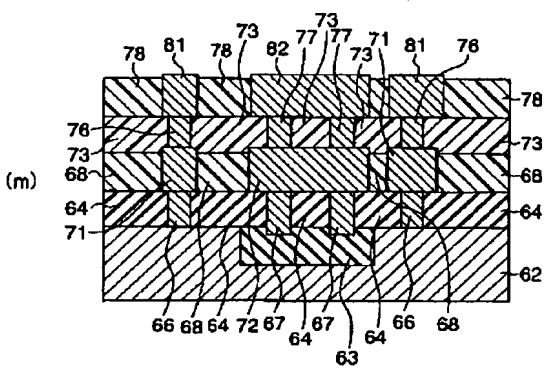
【図 9】



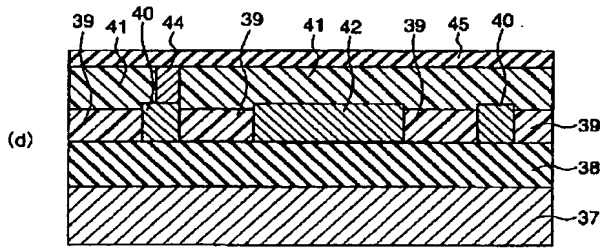
【図 10】



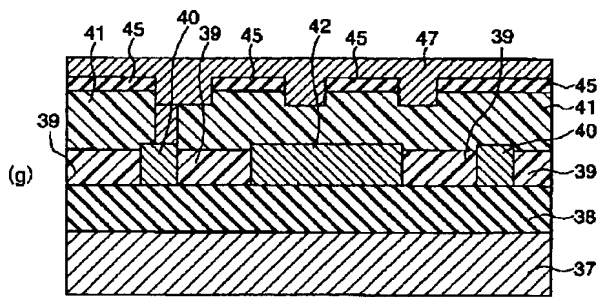
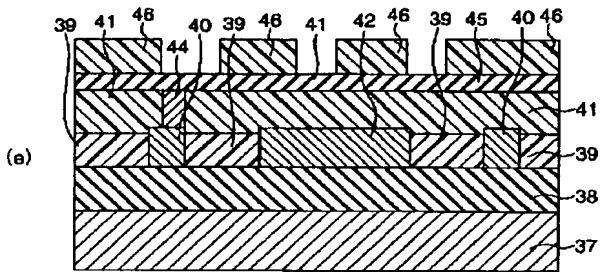
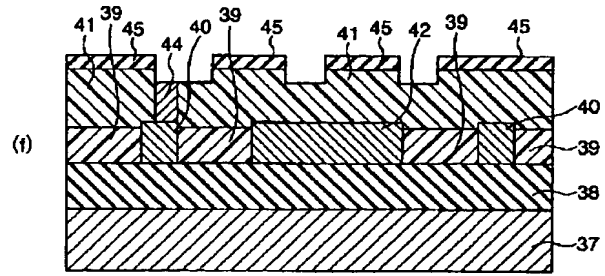
【図 20】



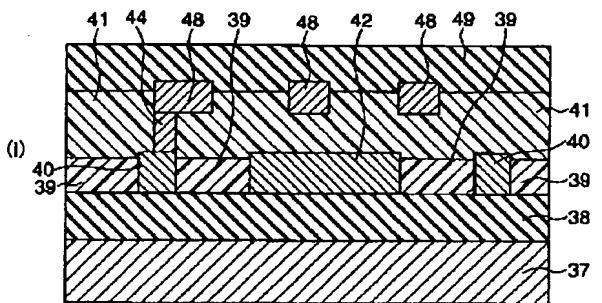
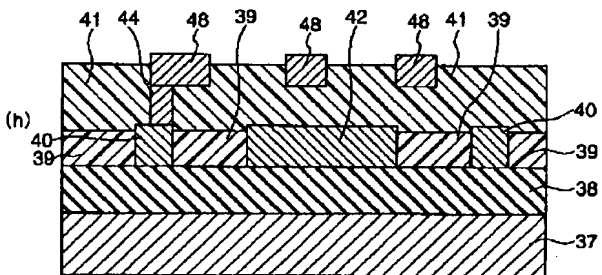
【図 1 1】



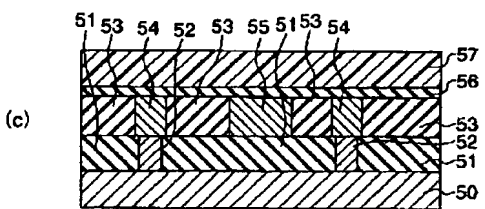
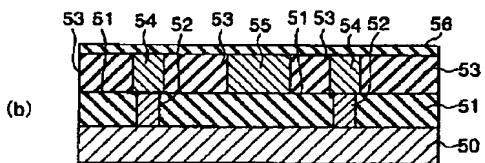
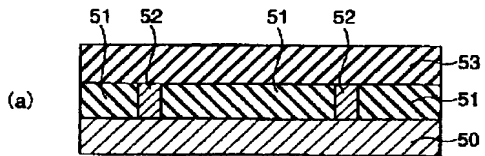
【図 1 2】



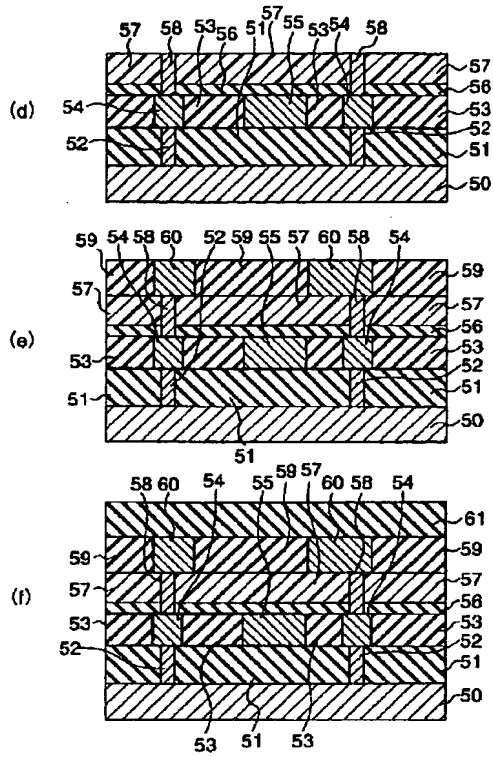
【図 1 3】



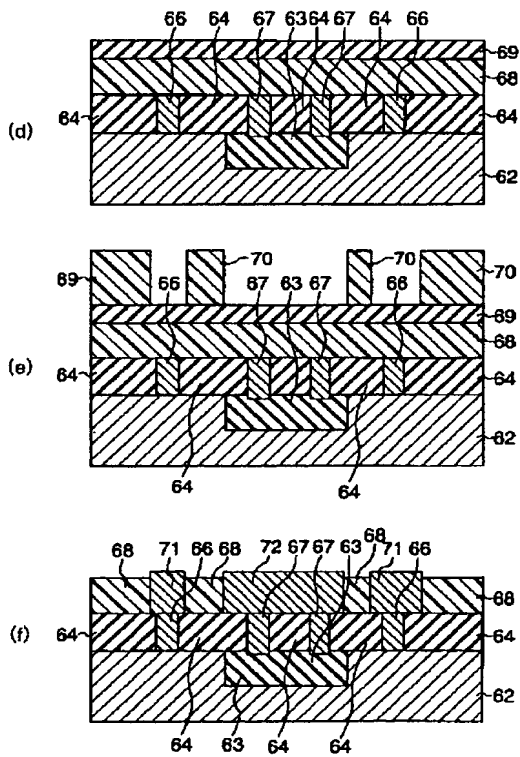
【図 1 4】



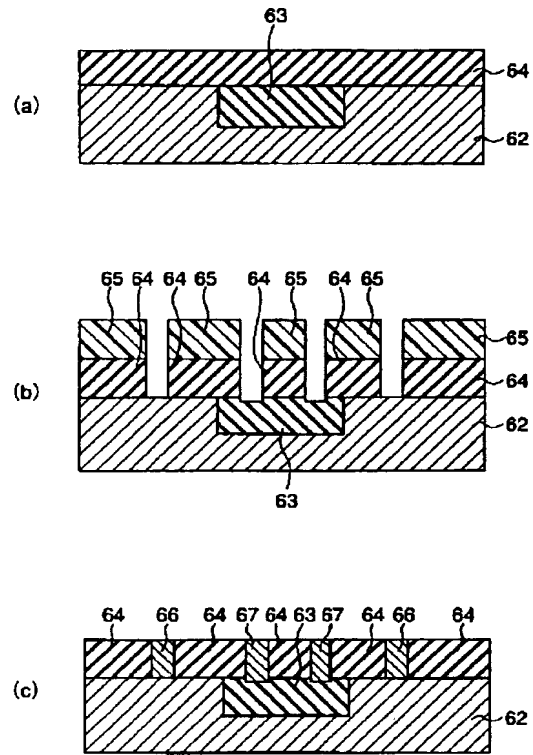
【図 15】



【図 17】



【図 16】



【図 18】

